

**DISEÑO DE UN SISTEMA DE IDENTIFICACIÓN PARA LA COMUNIDAD DE LA  
INSTITUCIÓN UNIVERSITARIA DE ENVIGADO A TRAVÉS DE LAS  
TECNOLOGÍAS DE IDENTIFICACIÓN POR RADIO FRECUENCIA (RFID) EN  
COMBINACIÓN CON ALIMENTACIÓN A TRAVÉS DE LA RED ETHERNET (POE)**

**CARLOS FERNANDO LÓPEZ CANO  
FERDY LEANDRO QUIROZ LONDOÑO**

**INSTITUCIÓN UNIVERSITARIA DE ENVIGADO  
FACULTAD DE INGENIERÍAS  
PROGRAMA DE INGENIERÍA ELECTRÓNICA  
ENVIGADO  
2012**

**DISEÑO DE UN SISTEMA DE IDENTIFICACIÓN PARA LA COMUNIDAD DE LA  
INSTITUCIÓN UNIVERSITARIA DE ENVIGADO A TRAVÉS DE LAS  
TECNOLOGÍAS DE IDENTIFICACIÓN POR RADIO FRECUENCIA (RFID) EN  
COMBINACIÓN CON ALIMENTACIÓN A TRAVÉS DE LA RED ETHERNET (POE)**

**CARLOS FERNANDO LÓPEZ CANO  
FERDY LEANDRO QUIROZ LONDOÑO**

**Trabajo de grado para optar al título de Ingeniero Electrónico**

**Asesor  
Javier Darío Cadavid Restrepo  
Ingeniero Electrónico**

**INSTITUCIÓN UNIVERSITARIA DE ENVIGADO  
FACULTAD DE INGENIERÍAS  
PROGRAMA DE INGENIERÍA ELECTRÓNICA  
ENVIGADO  
2012**

## **DEDICATORIA**

Éste trabajo de grado está dedicado a todas aquellas personas que me apoyaron durante toda la carrera y creyeron en mí, entre ellos mi abuelo Fabio Cano, el cual fue el que me dio la oportunidad de estudiar en la Universidad de Envigado y siempre tuvo fe que podría alcanzar mis sueños, también a mi madre que estuvo siempre pendiente de brindarme su apoyo y colaboración, muchas gracias a éstas personas tan importantes que contribuyeron no solo a mi formación profesional, sino a mi formación como persona.

**Carlos Fernando López Cano**

El resultado del proceso investigativo realizado y que ahora es presentado a través del presente documento está dedicado a todas y cada una de las personas que contribuyeron a mi formación profesional y personal durante una de las etapas más importantes de mi vida, son ellos todos los docentes a los cuales he tenido el privilegio de conocer a lo largo de la carrera y que tanta influencia tuvieron en mí, cada uno de manera diferente, también mi familia, en especial mis padres y abuelos quienes con esfuerzo y dedicación propiciaron la oportunidad de realizar estudios superiores y que con su cariño y apoyo me dieron la fuerza suficiente para seguir adelante y cumplir las metas propuestas, también a mis amigos y allegados quienes desde sus posibilidades siempre estuvieron ahí para respaldarme y brindarme su ayuda cuando la necesité. Para todos y cada uno de ellos muchas gracias y espero que el esmero puesto en esta investigación sirva para reflejar lo agradecido que les estoy.

**Ferdy Leandro Quiroz Londoño**

## **AGRADECIMIENTOS**

Este proyecto se lleva a cabo con la colaboración de diversas personas que fueron partícipes de manera directa e indirecta en la concepción y realización de la investigación.

En primera instancia, un agradecimiento al gerente de la empresa RyC Colombia, el señor Carlos Albeiro Vélez Puerta, por facilitarnos el ingreso a las instalaciones de su empresa y poner a disposición sus equipos de telecomunicaciones para realizar las algunas pruebas de los diseños, como también su vasta experiencia en el tema de comunicación a través de radiofrecuencia, hechos fundamentales en la consecución de las metas establecidas en el alcance del proyecto. También agradecer a nuestro asesor Javier Darío Cadavid Restrepo quien nos aportó su guía en el momento que más la necesitábamos de parte de alguien con experiencia en los temas concernientes a la investigación, fue él quien nos mostró el camino para alcanzar las metas propuestas y quien a partir de su conocimiento complementó el desarrollo de este proyecto, contribuyendo una parte importante en el proceso para cumplir cada uno de los objetivos trazados.

## CONTENIDO

	Pág.
INTRODUCCIÓN	15
1. PRESENTACIÓN DEL PROYECTO DE GRADO	16
1.1 PLANTEAMIENTO DEL PROBLEMA	16
1.2 JUSTIFICACIÓN	17
1.3 OBJETIVO GENERAL	19
1.4 OBJETIVOS ESPECÍFICOS	19
2. MARCO REFERENCIAL	20
2.1.1 Antecedentes	20
2.1.2 Marco Teórico	22
2.1.2.1 Identificación por radio frecuencia (RFID).	22
2.1.2.2 Power Over Ethernet (POE).	23
2.1.2.3 Ethernet.	23
2.1.2.4 Cable UTP (unshielded twisted pair).	24
2.2 Diseño Metodológico	24
2.2.1 Tipo de Proyecto: Diseño del plan de proyecto	24
2.3 PRESUPUESTO GLOBAL DEL TRABAJO DE GRADO	25
2.4 CRONOGRAMA	28
3. PARÁMETROS DE TRANSMISIÓN ETHERNET	30
3.1 Tecnologías de Ethernet	30
3.1.1 Una breve historia	30
3.1.2 Elementos de red Ethernet	31
3.1.3 Topologías de red Ethernet y Estructuras	31
3.1.4 Protocolo IEEE 802.3 en relación con el modelo OSI	33
3.1.4.1 La subcapa MAC de Ethernet	36
3.1.4.2 Método de acceso	37
3.1.5 La capa física Ethernet	43
3.1.5.1 La codificación para la transmisión de señales	44
3.1.5.2 Relación 802,3 de la capa física con el modelo de referencia OSI	46
3.1.5.3 Conexión 10 Base T	47
3.1.5.4 Conexión 100 Base X.	48
3.1.5.5 Conexión 100 Base T4.	49
3.1.5.6 Conexión 100 Base T2.	50
3.1.5.7 Conexión a 1000 Mbps, Gigabit Ethernet.	51
3.1.5.7.1 1000 Base T	51
3.1.5.7.2 Conexión 1000 Base X.	52
3.1.6 Cableado de red.	54
3.1.6.1 Consideraciones sobre el sistema.	55
3.1.6.2 Redes Ethernet con múltiples tasas.	57
3.2 RED ETHERNET IUE	59

<b>3.3 ENERGÍA SOBRE ETHERNET POE</b>	61
<b>3.3.1 IEEE 802.3af Power over Ethernet</b>	63
<b>3.3.2 Cisco Inline Power y IEEE 802.3af</b>	65
<b>3.3.3 Clasificación de energía</b>	65
<b>3.3.4 Desconexión de la alimentación</b>	66
<b>3.3.5 El dilema de la energía</b>	66
<b>3.3.5.1 Cisco Intelligent Power Management.</b>	68
<b>3.3.6 La cantidad de energía necesaria.</b>	68
<b>4. CHIPCON CC1000</b>	73
<b>4.1 DESCRIPCIÓN DEL CIRCUITO</b>	73
<b>4.2 INTERFAZ DE CONFIGURACIÓN SERIE</b>	75
<b>4.3 INTERFAZ MICROCONTROLADOR</b>	77
<b>4.4 INTERFAZ DE SEÑAL</b>	78
<b>4.5 VCO</b>	79
<b>4.6 OSCILADOR DE CRISTAL</b>	79
<b>4.7 FILTRO LC</b>	80
<b>5. DISEÑO DE TRANSMISIÓN DESDE UN LECTOR RFID HACIA LA RED ETHERNET.</b>	81
<b>5.1 CONEXIÓN ETHERNET</b>	81
<b>5.2 PROGRAMA DESARROLLADO EN MIKROC FOR PIC</b>	82
<b>6. ADECUAR LAS TECNOLOGÍAS RFID, ETHERNET Y POE PARA SER USADAS EN UN SISTEMA DE RECONOCIMIENTO Y MANEJO DE INFORMACIÓN.</b>	87
<b>6.1 SOFTWARE DE CONTROL.</b>	87
<b>6.1.1 Software de configuración para la transmisión de datos.</b>	87
<b>6.1.2 Software de configuración para la Recepción de datos.</b>	102
<b>6.2 DISEÑO TECNOLÓGICO Y HARDWARE NECESARIO PARA SU FUNCIONAMIENTO</b>	115
<b>6.2.1 Comunicación bajo protocolos RFID.</b>	116
<b>CONCLUSIONES.</b>	122
<b>RECOMENDACIONES.</b>	123
<b>BIBLIOGRAFÍA</b>	124
<b>ANEXO 1</b>	125

ANEXO 2  
ANEXO 3

143  
152

## LISTA DE FIGURAS

<b>Figura N° 1.</b> Interconexión punto a punto	31
<b>Figura N° 2.</b> Interconexión en Bus	32
<b>Figura N° 3.</b> Interconexión en estrella	33
<b>Figura N° 4.</b> Relación lógica de Ethernet para el modelo de referencia OSI	35
<b>Figura N° 5.</b> Requisitos de compatibilidad de las capas física y de acceso para la comunicación de datos básicos	36
<b>Figura N° 6.</b> Formato de la trama de la dirección MAC en las redes Ethernet 802.3	38
<b>Figura N° 7.</b> Trama de dirección MAC en una interconexión Gigabit	40
<b>Figura N° 8.</b> Secuencia una trama explosivo Gigabit	41
<b>Figura N° 9.</b> Operación Full Dúplex de dos vías de transmisión en el mismo enlace.	42
<b>Figura N° 10.</b> Ejemplo de Concepto de Línea de Base Wander	45
<b>Figura N° 11.</b> Codificación binaria de Manchester	45
<b>Figura N° 12.</b> Modelo físico genérico de Ethernet	46
<b>Figura N° 13.</b> Enlace 10 Base T es un cable de cuatro pares UTP	48
<b>Figura N° 14.</b> El Modelo Lógico 100Base-X	49
<b>Figura N° 15.</b> Transmisión de la trama	50
<b>Figura N° 16.</b> Topología de un enlace 100 Base T2	51
<b>Figura N° 17.</b> Variaciones Gigabit Ethernet	51
<b>Figura N° 18.</b> La topología de Enlace 1000Base-T	52
<b>Figura N° 19.</b> 1000Base-X Configuración del enlace	53
<b>Figura N° 20.</b> Formas alternativas para cumplir el requisito de cruce Enlace	54
<b>Figura N° 21.</b> Auto negociación de enlace	57
<b>Figura N° 22.</b> Redes Ethernet con múltiples tasas de transmisión	58



<b>Figura N° 23.</b> Distribución Red Administrativa IUE	60
<b>Figura N° 24.</b> Conexión bloque Investigación	60
<b>Figura N° 25.</b> Distribución Red Ethernet IUE	61
<b>Figura N° 26.</b> Requisitos de potencia para alimentación a través de dispositivos de Ethernet	62
<b>Figura N° 27.</b> Punto final del PSE alimentación a través de la entrega de Ethernet	64
<b>Figura N° 28.</b> Componentes del Consumo de Energía	67
<b>Figura N° 29.</b> Cisco Aironet 1200 Access Point	70
<b>Figura N° 30.</b> Sony SNC Z20N cámara de red	71
<b>Figura N° 31.</b> Distribución de pines del chip CC1000.	73
<b>Figura N° 32.</b> Diagrama de bloques simplificados del CC1000	74
<b>Figura N° 33.</b> Circuito Básico de Operación del CC1000	75
<b>Figura N° 34.</b> Procedimiento de escritura	76
<b>Figura N° 35.</b> Procedimiento de lectura.	76
<b>Figura N° 36.</b> Interfaz con el microcontrolador	77
<b>Figura N° 37.</b> Modo sincrónico NRZ.	78
<b>Figura N° 38.</b> Modo sincrónico codificación Manchester	78
<b>Figura N° 39.</b> Modo asincrónico transparente UART	79
<b>Figura N° 40.</b> Filtro LC opcional.	80
<b>Figura N° 41.</b> Programa Ethernet de MikroC for PIC.	81
<b>Figura N° 42.</b> Esquemático de ENC28J60	86
<b>Figura N° 43.</b> Visualización del software SmartRF Studio de la empresa Texas Instrument.	87
<b>Figura N° 44.</b> Diseño inicial del Transmisor con CC1000	117
<b>Figura N° 45.</b> Diseño inicial del Receptor con CC1000	117

<b>Figura N° 46.</b> Montaje en board de la etapa de transmisión	118
<b>Figura N° 47.</b> Montaje en board de la etapa de recepción	118
<b>Figura N° 48.</b> Simulación en Proteus del sistema de comunicación	119
<b>Figura N° 49.</b> Diseño final del Transmisor con CC1000	120
<b>Figura N° 50.</b> Diseño final del Receptor con CC1000	120

## LISTA DE TABLAS

<b>Tabla N° 1.</b> Presupuesto Global	25
<b>Tabla N° 2.</b> Cronograma de actividades (Tareas)	28
<b>Tabla N° 3.</b> Cronograma de Actividades (Ruta crítica)	29
<b>Tabla N° 4.</b> Operación para Half-Duplex	41
<b>Tabla N° 5.</b> Características de la capa física en sus diferentes versiones	48
<b>Tabla N° 6.</b> 1000 Base X Vínculo de asistencia de configuración	53
<b>Tabla N° 7.</b> Niveles de auto negociación definidos para la selección de tarjetas de red UTP.	56
<b>Tabla N° 8.</b> Clasificación de niveles de energía	65
<b>Tabla N° 9.</b> Requisitos de acceso inalámbrico en punto de poder	71
<b>Tabla 10.</b> Pines del CC1000 en el modo de lectura	77
<b>Tabla 11.</b> Componentes del filtro según la frecuencia de operación	80

## GLOSARIO

**RFID:** (siglas en ingles de Radio Frequency Identification): Identificación de códigos por transmisión a través de radiofrecuencia.

**POE:** (siglas en ingles de Power Over Ethernet): La alimentación a través de Ethernet es un revolucionario tipo de tecnología que permite realizar una alimentación eléctrica a equipos interconectados en una red LAN a través de las líneas de Ethernet.

**ETHERNET:** Es un estándar de redes de área local (LAN) cuya popularidad se debe a que permite un buen equilibrio entre velocidad, costo y facilidad de instalación. Una de las principales ventaja del estándar Ethernet es su capacidad para soportar los protocolos de modelos como OSI y TCP/IP.

**MONITOREO:** Acción y efecto de monitorear, es el verbo que se utiliza para nombrar a la supervisión o el control a través de un dispositivo monitor.

**RADIOFRECUENCIA:** El término radiofrecuencia, también denominado espectro de radiofrecuencia o RF, se aplica a la porción menos energética del espectro electromagnético, situada entre unos 3 kHz y unos 300 GHz. El hercio es la unidad de medida de la frecuencia de las ondas, y corresponde a un ciclo por segundo. Las ondas electromagnéticas de esta región del espectro, se pueden transmitir aplicando la corriente alterna originada en un generador a una antena.

**PROTOCOLO:** conjunto de estándares que controlan la secuencia de mensajes que ocurren durante una comunicación entre entidades que forman una red.

**ESTÁNDAR:** Es un conjunto de normas que ofrecen un lenguaje de punto común de comunicación entre las partes que intervienen en una red.

**MODELO:** representación de procesos, modelos o sistemas que conforman un conglomerado mayor o supra-sistema, que pretende el análisis de interacción de ellos, a fin de mantener una relación flexible que les permita cumplir su función particular y coadyuvar para cumplir la función del supra-sistema.

**CODIFICACIÓN:** Se entiende por Codificación en el contexto de la Ingeniería al proceso de conversión de un sistema de datos de origen a otro sistema de datos de destino. De ello se desprende como corolario que la información contenida en esos datos resultantes deberá ser equivalente a la información de origen.

## **RESUMEN**

La implementación de las TICS (tecnologías de la información y la comunicación) es una tendencia del mundo comercial, en la procura por realizar procesos más eficientes, ágiles y competitivos en mercados que demandan altos estándares de calidad y consumo masivo. RFID es una tecnología relativamente nueva que se ha tenido gran aceptación en el medio tecnológico por su capacidad para mejorar procesos de trazabilidad, producción y comercialización de productos así como para mejorar los mecanismos de seguridad y reconocimiento de personal y mercancía.

## **ABSTRACT**

The implementation of the ICT (information technology and communication) is a trend in the commercial world, in the pursuit of making more efficient processes, agile and competitive markets that demand high standards of quality and consumer sectors. RFID is relatively a new technology that has gained wide acceptance in the technological means for its ability to improve traceability processes, production and marketing of products as well as better security mechanisms and recognition of staff and goods.

## INTRODUCCIÓN

En la Institución Universitaria de Envigado (IUE) actualmente la labor de control de acceso en las porterías se hace usando como medio carnés en los cuales está impresa la información de cada individuo, con lo cual es necesario una persona que corrobore la veracidad de la información, además que supone un tiempo determinado para dicha autenticación, lo que en algunas horas del día ocasiona demoras en el ingreso así como la inconformidad de las personas.

Éste fenómeno vería necesario un método de identificación más eficiente y que ocupe una menor cantidad de tiempo en la identificación para optimizar el ingreso a la institución, y una alternativa factible para dicha problemática podría ser la tecnología de Identificación por Radio Frecuencia (RFID).

En este ámbito es posible formular un proyecto mediante el cual el reconocimiento y manejo de información se realice a través de la tecnología RFID aplicada a las condiciones analizadas en la Institución Universitaria de Envigado (IUE).

# 1. PRESENTACIÓN DEL PROYECTO DE GRADO

## 1.1. PLANTEAMIENTO DEL PROBLEMA

La implementación de tecnología de Identificación por Radio Frecuencia (RFID) en Colombia ha cobrado gran fuerza en los últimos años especialmente en el sector industrial para el manejo de mercancías y manejo de trazabilidad de procesos como es el caso del proyecto RFID familia de la empresa Sancela Familia<sup>1</sup> a través del cual han logrado una mayor eficiencia en el seguimiento de sus productos desde la cadena de producción hasta su terminación final y comercialización, además entidades comerciales de la ciudad de Medellín tales como el metro<sup>2</sup>, entidades como la Universidad EAFIT y Universidad de Antioquia (U de A). Actualmente también se ha implementado este tipo de tecnología para realizar un manejo más eficiente del acceso de personal a sus instalaciones, facilitando la identificación de cada individuo y haciendo más ágil y dinámico el desplazamiento en las entradas a estos planteles.

Con el fin de identificar productos, enseres o personal, tradicionalmente se han adoptado diversos tipos de tecnologías como la carnetización que es muy utilizada en empresas del sector privado para identificar a sus empleados, así como instituciones públicas como hospitales, universidades, entre otras, identificación por huella dactilar e identificación por iris, en el caso de empresas que requieren un alto grado de seguridad en la restricción de acceso a zonas, por medio de chipsets, como es el caso de algunos productos exportados por multinacionales vía marítima y el caso más conocido en materia de manejo de mercancía, el código de barras, que es utilizado por muchas empresas del sector industrial colombiano para realizar la logística de administración de sus productos.

Sin embargo todos estos tipos de tecnología presentan como inconveniente que requieren de condiciones de visión directa de los identificadores para realizar veracidad de la información, mientras que la tecnología RFID al funcionar con base a emisión de información en forma de ondas electromagnéticas radiadas puede ser implementada con mayor eficiencia para controles de seguridad así como la captura y manejo de información. Es por ello que su implementación ha venido desplazando a los otros tipos de tecnología de identificación relegándolos del mercado industrial, además de generar una gran posibilidad de desarrollo en el campo de la seguridad automatización de procesos.

---

<sup>1</sup> Intermec Technologies Corporation, oficinas centrales Newport Beach, California. Derechos de producción © 2007. [http://www.intermec.com/public-files/case-studies/mx/csFamiliaSancela\\_MX.pdf](http://www.intermec.com/public-files/case-studies/mx/csFamiliaSancela_MX.pdf)

<sup>2</sup> Metro de Medellín, portal virtual. [http://www.metrodemedellin.gov.co/index.php?option=com\\_content&view=article&id=99&lang=es](http://www.metrodemedellin.gov.co/index.php?option=com_content&view=article&id=99&lang=es)



Así es posible observar que implementar este tipo de tecnología en la institución universitaria de Envigado podría mejorar las condiciones de ingreso al plantel, ya que actualmente la labor de identificación en las porterías se hace usando como medio carnés en los cuales están impresos un código numérico único de identificación y la foto de cada propietario, con lo cual es necesario una persona que identifique la veracidad de la información, y por lo tanto está sujeta a la interpretación de la persona encargada de verificar su autenticidad, además que supone un tiempo determinado para dicha autenticación, lo que en algunas horas del día ocasiona demoras relativamente prolongadas en el ingreso así como la inconformidad de las personas.

Éste fenómeno vería necesario un método de identificación más eficiente y que ocupe una menor cantidad de tiempo en la identificación para optimizar el ingreso a la institución, como también implementar un método más seguro para el control de la entrada de personas del plantel, y una alternativa factible para dicha problemática podría ser la tecnología RFID.

En este ámbito es posible formular la siguiente pregunta.

¿Cómo efectuar un sistema de reconocimiento de información por medio de la Identificación por Radio Frecuencia (RFID) para que pueda ser utilizado en la Institución Universitaria de Envigado?

## **1.2. JUSTIFICACIÓN**

En la actualidad del ámbito social en Colombia la movilidad, el ahorro de tiempo y la correlación del trabajo humano con la tecnología en la búsqueda de desempeños más óptimos y procesos más versátiles se han convertido en uno de los principales enfoques del trabajo de diversas áreas del conocimiento científico.

El propósito de esta investigación es el de diseñar un sistema de identificación por radio frecuencia (RFID) a través del cual se facilite el acceso de la comunidad estudiantil a las instalaciones del plantel, esto debido a que en el momento, dicho proceso de ingreso se realiza de manera desordenada y además tediosa para las personas, en especial a horas de mayor afluencia de individuos (6 am y 6 pm) en donde se evidencia una aglomeración de vehículos que llegan a ocupar hasta una cuadra, momentos en los cuales al personal de vigilancia se le dificulta aplicar las normas de seguridad exigidas por la institución (la exigencia del carné estudiantil para el acceso en portería por ejemplo), así como la cantidad de tiempo tan alargado y las restricciones de movilidad que dicha ejecución de las normas conlleva.

Un sistema de identificación con RFID ubicado en las porterías de la institución permitiría mejorar la movilidad en las entradas ya que no sería necesario que cada individuo se detenga a buscar su carné ni que un vigilante este verificando la

pertenencia de dicho documento a su portador, esto además permitiría disminuir la cantidad de personal necesario en cada portería para asegurar el cumplimiento de las normas, reduciendo de esta manera costos de nómina para la institución y facilitando la realización de dicha labor que a su vez se vería reflejado en una disminución del tiempo de acceso al plantel.

Hoy en día este tipo de tecnología ha tenido gran aceptación en el país especialmente debido a la gran eficiencia de este tipo de dispositivos aplicados al mejoramiento de la seguridad y accesibilidad en los diferentes ámbitos laborales, siendo uno de los casos más conocidos de ellos la implementación de la tarjeta cívica en el metro de Medellín que ha mejorado ostensiblemente la velocidad de desplazamiento de los usuarios que cuentan con este aditamento, facilitándoles el acceso al servicio de transporte, identificación personal y pago virtual de las tarifas acordadas al servicio utilizado, mejorando de esta manera la calidad de vida de los usuarios, la calidad del servicio prestado y colocando a esta institución en la vanguardia tecnológica y social en el ámbito del transporte público.

La tecnología de RFID ha cobrado mayor importancia en el sector público en los últimos años principalmente por su facilidad de implementación en la identificación de personas animales u objetos a través de la utilización de los TAGS o etiquetas RFID que son dispositivos de tamaño muy reducido y que pueden ser adheridos fácilmente a casi cualquier tipo de tarjeta, mercancía u objeto sin mayor dificultad y sin interferir con su óptimo desempeño, además estos dispositivos son capaces de almacenar información dependiendo de la referencia del dispositivo, lo que facilita su implementación en términos de seguridad. EN el caso específico de la Institución Universitaria de Envigado (IUE) estos TAGS pueden ser adheridos fácilmente a los carné estudiantiles, almacenando en ellos la información personal más relevante del personal, sin que sea necesario realizar una modificación de diseño de los carné actuales, permitiendo así una implementación inmediata de este desarrollo.

Este tipo de sistema ya ha sido implementado por otras instituciones universitarias tanto en el país como en el mundo, pero debido a que los transceptores necesarios para leer la información de las etiquetas RFID requieren de alimentación eléctrica constante para su funcionamiento y ante las innovaciones tecnológicas en este campo, es una característica muy importante para darle valor agregado a este diseño, la utilización de alimentación a través de Ethernet (POE) no sólo para realizar la labor de alimentación del sistema activo, sino para proporcionar un mayor aprovechamiento de la información almacenada en la etiqueta con la ayuda de equipos remotos, a través de la comunicación por Ethernet. Así mismo la posible implementación de un sistema como este no sólo mejoraría las condiciones de acceso de personal a las instalaciones, sino que pondrían a la IUE al nivel de infraestructura de accesibilidad de instituciones con muchos más años de recorrido y con mayor capacidad de investigación,

demostrando con ello la gran capacidad de crecimiento de la institución y la capacidad de innovación de su cuerpo estudiantil.

### **1.3. OBJETIVO GENERAL**

Diseñar un sistema de reconocimiento de información personal en la Institución Universitaria de Envigado a través de la tecnología de Identificación por Radio Frecuencia (RFID) en combinación con la tecnología Power Over Ethernet (POE).

### **1.4. OBJETIVOS ESPECÍFICOS**

- Confrontar los parámetros de transmisión de la red Ethernet de la universidad con los protocolos de transmisión necesarios para los dispositivos de radiofrecuencia y tecnología POE.
- Diseñar un dispositivo de transmisión de datos desde una etiqueta RFID hacia la red Ethernet de la IUE.
- Adecuar las tecnologías RFID, Ethernet y POE para ser usadas en un sistema de reconocimiento de información personal, al ingreso de la IUE.

## 2. MARCO REFERENCIAL

### 2.1.1. Antecedentes

- SISTEMA DE IDENTIFICACIÓN Y UBICACIÓN DE LAS DIFERENTES CABINAS DE LA LÍNEA K DEL METRO DE MEDELLÍN Juan Camilo Zapata Correa. Trabajo de grado I.U.E. Facultad de ingeniería.

Este proyecto corresponde a un desarrollo tecnológico, a través del cual se busca mejorar los principios de comodidad y seguridad de la línea K del metro de Medellín. Consiste en desarrollar un sistema de identificación y ubicación para las diferentes cabinas de la línea K del metro de Medellín, basado en el prototipo implementado en el 2006 por el ingeniero Carlos Paternina y su equipo de trabajo, en el cual se visualizará en tiempo real la posición de ellas, mejorando la seguridad en la operación del sistema y permitiendo además el control y logística de las mismas.

En este nuevo sistema de identificación se utiliza la tecnología RFID en cada una de las estaciones para mantener un control sobre la posición de la cabina en tiempo real, la velocidad del cable y la hora de entrada y salida de las cabinas en la estación, permitiendo de esta manera realizar un control descentralizado y más eficiente a través de la transmisión de la información por medio de la red interna del Metro de Medellín.<sup>3</sup>

- RFID Familia-Sancela Colombia.

Familia Sancela, una empresa de fabricación y distribución de productos de limpieza e higiene se convierte en uno de los voceros principales de RFID en Colombia gracias a la implementación de esta tecnología en su planta de Cajica Bogotá para la administración de sus productos en la búsqueda de lograr un mayor control de trazabilidad del producto. Implementando etiquetas RFID para monitorear el proceso de fabricación y despacho de mercancía en la fábrica, un sistema automático de monitoreo con RFID instalado en la planta de producción y en el centro de distribución (CEDIS) permite un registro más eficiente de la mercancía que entra y sale de las bodegas, así como permite un mayor control de seguridad ante la posibilidad de robo, un monitoreo continuo del producto y una mayor agilidad en el transporte entre cada sección.<sup>4</sup>

---

<sup>3</sup> Sistema de identificación y ubicación de las diferentes cabinas de la línea k del metro de Medellín. Juan Camilo Zapata Correa. Trabajo de grado I.U.E. Facultad de ingeniería.

<sup>4</sup> Intermec Technologies Corporation, oficinas centrales Newport Beach, California. Derechos de producción © 2007. [http://www.intermec.com/public-files/case-studies/mx/csFamiliaSancela\\_MX.pdf](http://www.intermec.com/public-files/case-studies/mx/csFamiliaSancela_MX.pdf)

- **EL SENA, INSTITUCIÓN INNOVADORA EN COLOMBIA IMPLEMENTANDO TECNOLOGÍA RFID UHF EN SUS BIBLIOTECAS**

El Servicio Nacional de Aprendizaje, SENA, dentro de su proceso de modernización de bibliotecas, realizó la primera instalación de un Sistema de Vigilancia Electrónica RFID en el 2009, en la Biblioteca de la Sede de Hotelería, Turismo y Alimentos en Bogotá D.C. Esta implementación se realizó con equipos RFID UHF Gen2 de última tecnología, provistos por Kimbaya RFID Solutions, empresa que a su vez realizó el diseño, desarrollo, instalación y puesta en marcha del sistema.

A raíz del éxito de esta primera experiencia, el SENA sigue en su carrera de modernizar sus bibliotecas a nivel nacional y en lo corrido del año 2010 ya se han implementado dos sistemas adicionales en sus bibliotecas ubicadas en Medellín (Biblioteca Complejo Norte) y Cúcuta (Biblioteca Barrio Pescadero), en los meses de Mayo y Junio, respectivamente.

Cada implementación comienza con la instalación de un Sistema RFID de Vigilancia Electrónica que Kimbaya diseñó de tal forma que fuera escalable y que a futuro, permita la integración de diferentes módulos, para lo cual sólo es necesario la adquisición de los equipos adicionales que van a apoyar las diferentes funciones propias de una biblioteca como son: inventario, auto-préstamo, conteo de personal, etc.<sup>5</sup>

- **ESTUDIO DE UN DISPOSITIVO DE MONITOREO Y CONTROL DE ACCESO CON TECNOLOGÍA DE IDENTIFICACIÓN POR RADIOFRECUENCIA PARA EL SECTOR HOTELERO** Julián Esteban Gallo Urrea, Luis Nolberto Hurtado Bedoya. Trabajo de grado I.U.E. Facultad de ingeniería.

Se realizó un estudio a cerca de la tecnología RFID con el fin de desarrollar el diseño de un dispositivo que permita mejorar la seguridad, el control y monitoreo del ingreso de personas a los complejos hoteleros del valle de aburra. Esto debido a la detección de las limitaciones tecnológicas de los mecanismos empleados para dichas funciones en el entorno comercial de los hoteles en Medellín.

Tras el proceso investigativo los ingenieros Gallo y Hurtado plantean en base al estudio del nicho de mercado la importancia de implementar la tecnología RFID para mejorar el desempeño de las ya existentes chapas electrónicas para generar un mayor control de seguridad y accesibilidad, gracias a la creación de

---

<sup>5</sup> Kimbaya Technology S.A.S. Copyright © 2011. Todos los derechos reservados. <http://www.kimbaya.com/index.php/es/noticias-eventos/58-sena-implementa-seguridad-rfid-uhf-en-bibliotecas>

una planilla de base de datos o la utilización de un software libre que reciba datos y los guarde como base de datos con el soporte de un módulo RFID.<sup>6</sup>

## 2.1.2. Marco Teórico

**2.1.2.1. Identificación por radio frecuencia (RFID).** La identificación por radio frecuencia RFID (siglas en ingles de Radio Frequency Identification) es un tipo de tecnología relativamente nuevo que ha encontrado gran aceptación en el mercado actual principalmente para el manejo de mercancía y en aplicaciones de seguridad para controlar el acceso a distintas zonas o para el transporte de objetos entre secciones de empresas. El propósito fundamental de RFID es el de transmitir información característica de un objeto (códigos únicos de serie, fechas de caducidad, fecha de fabricación, lote de pertenencia, etc.) en forma de ondas de radio. La cantidad de información que puede llegar a almacenar una etiqueta RFID o TAG depende del modelo de la misma, un TAG de gama baja es aquel que opera a frecuencias de 125 KHz o 135 KHz y son utilizados principalmente para aplicaciones de identificación animal, para eventos deportivos e inmovilizadores de autos y cuentan con una capacidad de memoria demasiado limitada, mientras que un TAG de gama alta es aquel que transmite a frecuencias de 2.5 a 5 GHz y son TAGS activos, es decir que requieren alimentación eléctrica para su funcionamiento, son utilizados principalmente en la automatización de los peajes de autopistas. Los TAGS que son considerados de alta frecuencia y que transmiten a 13.56 MHz son comúnmente los más utilizados en controles de accesos y aplicaciones logísticas, debido a que poseen una capacidad de almacenamiento de alrededor de 2 Kbyte y poseen un buen alcance de transmisión además de un costo mucho menor al de los TAG de gama alta, cualidades que lo convierten en una importante herramienta de manejo de inventario y reconocimiento individual.

La identificación por radio frecuencia consta además de una segunda parte que son los transceptores, equipos encargados de leer la información transmitida por las etiquetas y de brindar la posibilidad de interacción con sistemas operativos y software para realizar el aprovechamiento de los beneficios que la tecnología RFID puede brindar; además algunos lectores dependiendo del modelo también pueden hacer las veces de escritor, para programar la información almacenada en la etiqueta. Cada transceptor debe estar diseñado para operar a la frecuencia de transmisión del TAG, de lo contrario no se podrá hacer una captura de la información enviada.<sup>7</sup>

---

<sup>6</sup> Estudio de un dispositivo de monitoreo y control de acceso con tecnología de identificación por radiofrecuencia para el sector hotelero. Julián Esteban Gallo Urrea, Luis Nolberto Hurtado Bedoya. Trabajo de grado I.U.E. Facultad de ingeniería.

<sup>7</sup> PALLÁS ARENY, Ramón. Adquisición y distribución de señales. Universidad politécnica de Cataluña: Editorial Mar combo, ediciones técnicas 1993.

**2.1.2.2. Power Over Ethernet (POE).** La alimentación a través de Ethernet es un revolucionario tipo de tecnología que permite realizar una alimentación eléctrica a equipos interconectados en una red LAN a través de las líneas de Ethernet. POE funciona a través de un cableado de red estándar (categoría 5) para suministrar alimentación directamente desde los puertos de datos a los que están conectados los dispositivos de red, es así como elimina la necesidad de utilizar tomas de corriente en la ubicación del dispositivo, haciendo más eficiente el diseño de las redes eléctricas y optimizando la utilización de espacio, además permite una aplicación más sencilla de los sistemas de alimentación ininterrumpida (SAI) para garantizar un funcionamiento las 24 horas del día, 7 días a la semana.

Power Over Ethernet es regulado por una norma denominada IEEE 802.3af y está diseñado de manera que no haga disminuir el rendimiento de comunicación de los datos en la red o reducir el alcance de la red. Esta norma consiste en un conjunto de estándares que dictaminan los niveles de corriente y voltaje a los que se debe trabajar, los tipos de cable que se deben utilizar y el tipo de conexión que se debe implementar. La importancia de esta norma radica en definir los parámetros bajos los cuales se debe trabajar para adaptar un sistema al uso de POE, ya que como característica primordial de este tipo de tecnología está diseñada para que la corriente suministrada a través de la infraestructura LAN se active de forma automática cuando se identifica un terminal compatible y se bloquea ante dispositivos preexistentes que no sean compatibles.<sup>8</sup>

**2.1.2.3. Ethernet.** Ethernet es un estándar de redes de área local (LAN) cuya popularidad se debe a que permite un buen equilibrio entre velocidad, costo y facilidad de instalación. Una de las principales ventajas del estándar Ethernet es su capacidad para soportar los protocolos de modelos como OSI y TCP/IP lo cual lo convierten en una de las principales herramientas de diseño de redes de interconexión de sistemas de cómputo y de acceso a la red de redes (Internet).

La norma de Ethernet fue definida por el Instituto para los Ingenieros Eléctricos y Electrónicos (IEEE) como IEEE Standard 802.3, usualmente se toman Ethernet e IEEE 802.3 como sinónimos. Ambas se diferencian en uno de los campos de la trama de datos, aunque las tramas Ethernet e IEEE 802.3 pueden coexistir en la misma red.

Los elementos de una red Ethernet son: tarjeta de red, repetidores, concentradores, puentes, los conmutadores, los nodos de red y el medio de interconexión.

---

<sup>8</sup> SHAUGHNESSY, Tom; VELTE, Toby. Manual de cisco. Universidad de Castilla: Editorial Mc. Graw Hill. Traducción José Ignacio Sánchez, 2000.

Los nodos de red pueden clasificarse en dos grandes grupos: equipo terminal de datos (DTE) y equipo de comunicación de datos (DCE).

Los DTE son dispositivos de red que generan el destino de los datos: los PC, routers, las estaciones de trabajo, los servidores de archivos, los servidores de impresión; todos son parte del grupo de las estaciones finales. Los DCE son los dispositivos de red intermediarios que reciben y retransmiten las tramas dentro de la red; pueden ser: conmutadores (Switch), concentradores (Hub), repetidores o interfaces de comunicación. Por ejemplo: un módem o una tarjeta de interfaz.<sup>9</sup>

**2.1.2.4. Cable UTP (unshielded twisted pair).** El cable UTP o par trenzado sin apantallar son cables que se utilizan para diferentes tecnologías de red local. Son de bajo costo y de fácil uso, pero producen más errores que otros tipos de cable y tienen limitaciones para trabajar a grandes distancias sin regeneración de la señal. El cable UTP está dividido en varias categorías de acuerdo a su capacidad de transmisión y al estándar definido por la especificación 568A Commercial Building Wiring Standard de la asociación Industrias Electrónicas e Industrias de las Telecomunicaciones (EIA/TIA) a través del cual se especifica el tipo de cable UTP que se utilizará en cada situación y construcción.

La categoría 5, es uno de los grados de cableado UTP descritos en el estándar EIA/TIA 568B el cual se utiliza para ejecutar CDDI y puede transmitir datos a velocidades de hasta 100 Mbps a frecuencias de hasta 100 MHz. Está diseñado para señales de alta integridad, además este tipo de cables se utiliza con gran regularidad en redes de ordenadores bajo estándares de Ethernet.<sup>10</sup>

## **2.2. Diseño Metodológico**

**2.2.1. Tipo de Proyecto:** Desarrollo tecnológico con enfoque cuantitativo.

**Diseño del plan de proyecto:**

**Gestión de Información:** Se recopilará información tanto de medios escritos como virtuales sobre las versiones de las redes Ethernet, la reglamentación y protocolos usados por la tecnología RFID, POE y Ethernet. Entre los medios escritos se encuentran las revistas de investigación, tesis de grado con tecnología similar, las cuales se pueden encontrar en la biblioteca de la universidad, del mismo modo entre los medios virtuales se encuentran documentos de internet,

---

<sup>9</sup> SHAUGHNESSY, Tom; VELTE, Toby. Manual de cisco. Universidad de Castilla: Editorial Mc. Graw Hill. Traducción José Ignacio Sánchez, 2000.

<sup>10</sup> ADFINSON, David; QUAMME, Ken. Fundamentos de la tecnología de la información: Hardware y software del PC. Tercera edición. Networking academy: editorial Pearson educación S.A.



proyectos realizados, foros de debate respecto a RFID y datasheets de los diferentes componentes.

También se realizará entrevistas programadas a expertos de empresas de comunicaciones ubicadas en el sector de Itagüí.

**Adaptación de la Información:** Ya en esta etapa se procede a adecuar toda la información recopilada sobre el funcionamiento de las tecnologías y el hardware necesario para su funcionamiento, se establecen los aspectos más importantes a tener en cuenta y se escogen las técnicas a utilizar para la comunicación entre hardware, así como los protocolos más adecuados para el diseño del sistema, utilizando la red Ethernet de la Institución Universitaria de Envigado.

**Aplicación del conocimiento:** El resultado final de esta etapa será la realización de un primer prototipo de lector RFID, aproximando su diseño a las necesidades identificadas en las fases previas de investigación y teniendo en cuenta las características de cada una de las tecnologías a utilizar.

En esta etapa se procede a emplear las técnicas adquiridas en la etapa inmediatamente anterior, realizar pruebas de funcionamiento y experimentación para detectar posibles errores en el esquema o mejoras que se podrían adaptar en el diseño final.

Perfeccionamiento de diseño: En esta última etapa estará casi concluido el propósito de nuestro proyecto, se corrigen errores, se realizan las mejoras establecidas y se procederá a la culminación del plan de desarrollo establecido.

### 2.3. PRESUPUESTO GLOBAL DEL TRABAJO DE GRADO

Tabla N° 1. Presupuesto Global

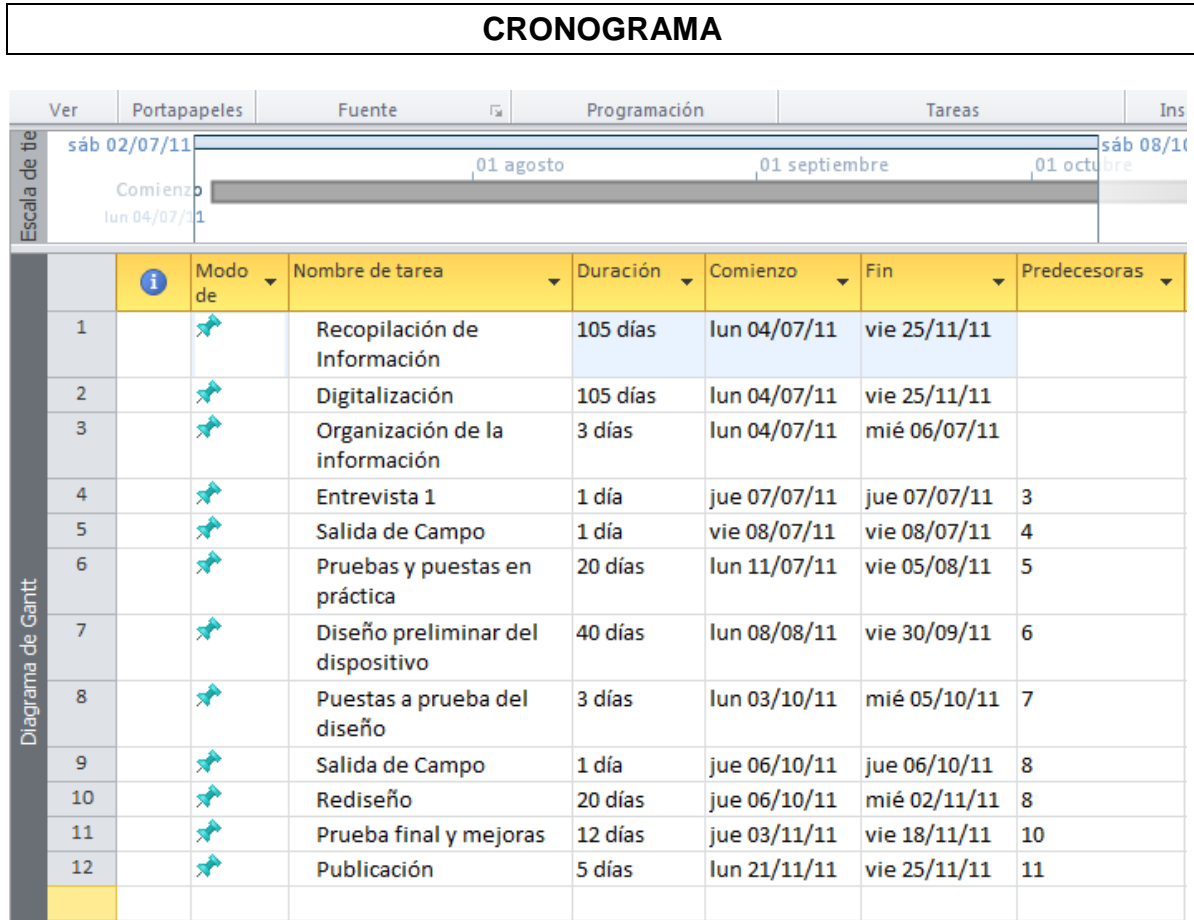
<b>PRESUPUESTO GLOBAL DEL TRABAJO DE GRADO</b>				
<b>RUBROS</b>	<b>FUENTES</b>			<b>TOTAL</b>
	<b>Estudiante</b>	<b>Institución - IUE</b>	<b>Externa</b>	
<b>Personal</b>	\$3.100.000	\$1.400.000	\$0	\$5.870.000
<b>Material y suministro</b>	\$85.000	\$120.000	\$0	\$213.000
<b>Salidas de campo</b>	\$130.000	\$0	\$0	\$130.000
<b>Bibliografía</b>	\$38.000	\$80.000	\$0	\$118.000
<b>Equipos</b>	\$15.000	\$6.762.000	\$0	\$6.937.000
<b>Otros</b>	\$50.000	\$0	\$0	\$50.000
<b>TOTAL</b>	<b>\$3.418.000</b>	<b>\$8.362.000</b>	<b>\$0</b>	<b>\$13.318.000</b>
<b>DESCRIPCIÓN DE LOS GASTOS DE PERSONAL</b>				

Nombre del Investigador	Función en el proyecto	Dedicación h/semana	Costo			Total
			Estudiante	Institución - IUE	Externa	
<b>Ferdy Leandro Quiroz Londoño</b>	Diseñador	15	\$2.250.000	\$0	\$0	\$2.250.000
<b>Carlos Fernando López Cano</b>	Diseñador	15	\$2.550.000	\$0	\$0	\$2.250.000
	Asesor	4	\$0	\$1.370.000	\$0	\$1.370.000
<b>TOTAL</b>			<b>\$3.100.000</b>	<b>\$1.400.000</b>	<b>\$0</b>	<b>\$5.870.000</b>
<b>DESCRIPCIÓN DE MATERIAL Y SUMINISTRO</b>						
Descripción de tipo de Material y/o suministro	Costo			Total		
	Estudiante	Institución - IUE	Externa			
Hojas de papel bond carta	\$8.000	\$16.000	\$0	\$24.000		
Lapiceros	\$5.000	\$0	\$0	\$5.000		
Correctores	\$6.000	\$0	\$0	\$6.000		
Cartuchos Impresora	\$50.000	\$80.000	\$0	\$130.000		
Calculadora	\$16.000	\$24.000	\$0	\$48.000		
<b>TOTAL</b>	<b>\$85.000</b>	<b>\$120.000</b>	<b>\$0</b>	<b>\$213.000</b>		
<b>DESCRIPCIÓN DE SALIDAS DE CAMPO</b>						
Descripción de las salidas	Costo			Total		
	Estudiante	Institución - IUE	Externa			
Transporte	\$60.000	\$0	\$0	\$60.000		
Alimentación	\$70.000	\$0	\$0	\$70.000		
<b>TOTAL</b>	<b>\$130.000</b>	<b>\$0</b>	<b>\$0</b>	<b>\$130.000</b>		
<b>DESCRIPCIÓN DE MATERIAL BIBLIOGRÁFICO</b>						
Descripción de compra de material bibliográfico	Costo			Total		
	Estudiante	Institución - IUE	Externa			
Libros	\$0	\$80.000	\$0	\$80.000		
Revistas	\$38.000	\$0	\$0	\$38.000		
<b>TOTAL</b>	<b>\$38.000</b>	<b>\$80.000</b>		<b>\$118.000</b>		
<b>DESCRIPCIÓN DE EQUIPOS</b>						
Descripción de compra de equipos	Costo			Total		
	Estudiante	Institución - IUE	Externa			
Fuente digital	\$0	\$1.080.000	\$0	\$1.080.000		
Osciloscopio digital	\$0	\$2.900.000	\$0	\$2.900.000		

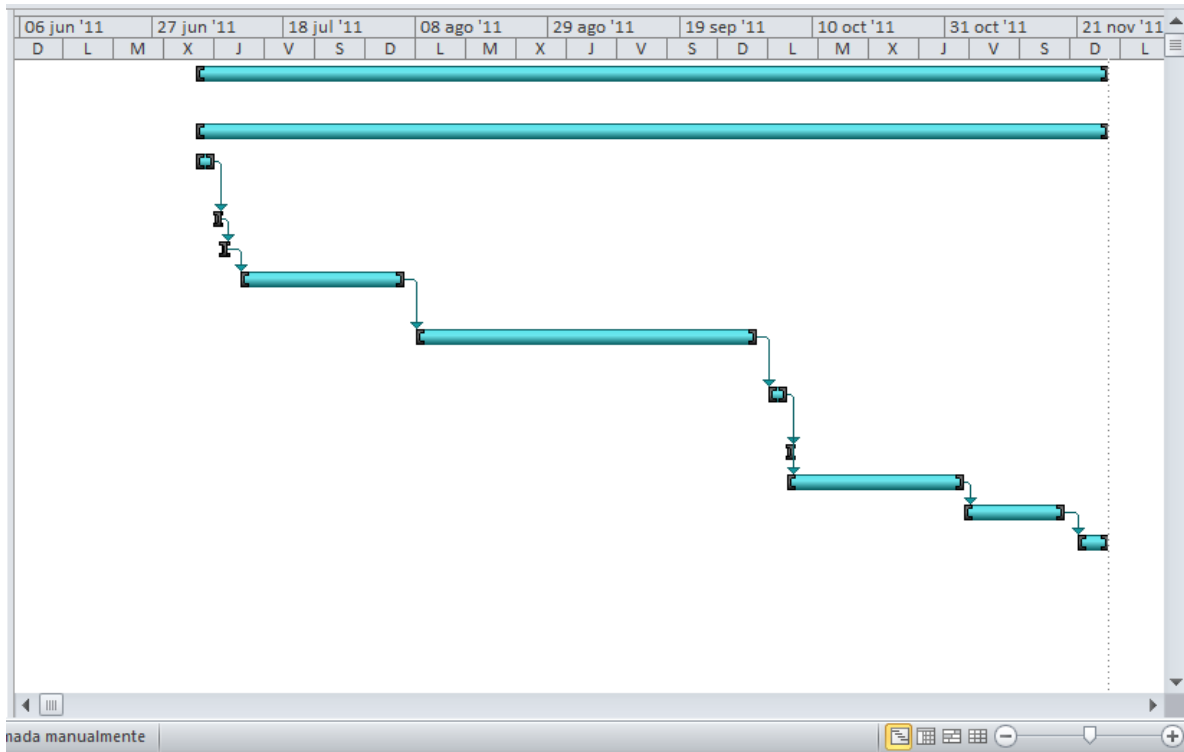
<b>Computadores portátiles (2)</b>	\$0	\$2.350.000	\$0	\$2.350.000
<b>Multímetro</b>	\$0	\$262.000	\$0	\$262.000
<b>Lector RFID</b>	\$60.000	\$80.000	\$0	\$140.000
<b>Lector-Escritor RFID</b>	\$60.000	\$90.000	\$0	\$150.000
<b>Tags</b>	\$15.000	\$0	\$0	\$15.000
<b>PICs</b>	\$20.000	\$20.000	\$0	\$40.000
<b>TOTAL</b>	<b>\$135.000</b>	<b>\$6.762.000</b>	<b>\$0</b>	<b>\$6.937.000</b>
<b>DESCRIPCIÓN DE OTROS GASTOS FINANCIADOS</b>				
<b>Descripción de otros gastos</b>	<b>Costo</b>			<b>Total</b>
	<b>Estudiante</b>	<b>Institución - IUE</b>	<b>Externa</b>	
<b>Artículos electrónicos (capacitores, inductores, cable UTP, etc.)</b>	\$50.000	\$0	\$0	\$50.000
<b>TOTAL</b>	<b>\$50.000</b>	<b>\$0</b>	<b>\$0</b>	<b>\$50.000</b>

## 2.4. CRONOGRAMA

Tabla N° 2. Cronograma de actividades (Tareas)



**Tabla N° 3. Cronograma de Actividades (Ruta crítica)**



### 3. PARÁMETROS DE TRANSMISIÓN ETHERNET

#### 3.1. Tecnologías de Ethernet

El término Ethernet se refiere a la familia de red de área local (LAN) de los productos cubiertos por el estándar IEEE 802.3 que define lo que se conoce comúnmente como el protocolo CSMA / CD. Tres tipos de datos están actualmente definidas para la operación a través de fibra óptica y cables de par trenzado:

- 10 Mbps, Ethernet 10Base-T
- 100 Mbps Fast Ethernet
- 1000 Mbps, Gigabit Ethernet
- 10-Gigabit Ethernet

Otras tecnologías y protocolos han sido considerados como sustitutos posibles, pero el mercado ha hablado. Ethernet ha sobrevivido como la principal tecnología LAN (que se utiliza actualmente para aproximadamente el 85 por ciento de LAN conectados a los ordenadores del mundo y estaciones de trabajo) debido a que su protocolo tiene las siguientes características:

- Es fácil de comprender, implementar, administrar y mantener
- Permite a bajo coste implementaciones de red
- Proporciona una amplia flexibilidad para la instalación de la red topológica
- Garantiza la interconexión y operación exitosa de las normas que cumplen los productos, independientemente del fabricante

##### 3.1.1. Una breve historia

El original Ethernet fue desarrollado como una red de cablecoaxial de experimentación en la década de 1970 por Xerox Corporation para operar con una velocidad de 3 Mbps con un Acceso múltiple con escucha de portadora y Detección de Colisiones (CSMA / CD) protocolo para redes de área local con los requisitos de tráfico esporádicos, pero pesada en ocasiones. El éxito con que el proyecto atrajo la atención temprana y la condujo a la elaboración conjunta en 1980 de la 10-Mbps Ethernet versión 1.0 por parte del consorcio de tres empresas: Digital Equipment Corporation, Intel Corporation y Xerox Corporation.

El estándar original IEEE 802.3 fue basado y era muy similar a la especificación de Ethernet Versión 1.0. El proyecto de norma fue aprobado por el grupo de trabajo de 802,3 en 1983 y posteriormente fue publicado como estándar oficial en 1985 (ANSI / IEEE Std. 802.3-1985). Desde entonces, una serie de suplementos a la norma se han definido para aprovechar las mejoras en las tecnologías y apoyar a los medios de comunicación de red adicionales y mayores capacidades de

velocidad de datos, además de varias nuevas características opcionales de acceso a redes de control.

En el resto de este proyecto, los términos Ethernet y 802.3 se refiere exclusivamente a las implementaciones de red compatibles con el estándar IEEE 802.3.

### 3.1.2. Elementos de red Ethernet

LAN Ethernet consiste en nodos de red y en los medios de interconexión. Los nodos de la red se dividen en dos clases principales:

- **Equipo terminal de datos (DTE):** Los dispositivos que son el origen o el destino de las tramas de datos. Los DTE son generalmente dispositivos tales como PCs, estaciones de trabajo, servidores de archivos o servidores de impresión que, como grupo, están a menudo denominados estaciones finales.
- **La comunicación de datos (DCE):** Dispositivos de red intermedios que reciben y envían tramas a través de la red. Los DCE pueden ser dispositivos autónomos, tales como repetidores, conmutadores de red y routers, o unidades de comunicaciones de interfaz, tales como tarjetas de interfaz y los módems.

Los actuales medios de comunicación de Ethernet incluyen dos tipos generales de cable de cobre: par trenzado sin blindaje (UTP) y par trenzado apantallado (STP), además de varios tipos de cable de fibra óptica.

### 3.1.3. Topologías de red Ethernet y Estructuras

La red LAN adopta muchas configuraciones topológicas, pero independientemente de su tamaño o complejidad, todo será una combinación de las tres estructuras básicas de interconexión de redes o bloques de construcción.

La estructura más simple es la interconexión de punto a punto, como se muestra en la figura N° 1. En esta configuración sólo dos unidades de la red están involucradas, donde la conexión puede ser DTE a DTE, DTE a DCE, o DCE a DCE. El cable en las interconexiones de punto a punto se conoce como un enlace de red y la longitud máxima permitida del enlace depende del tipo de cable y el método (protocolo) de transmisión que se utiliza.

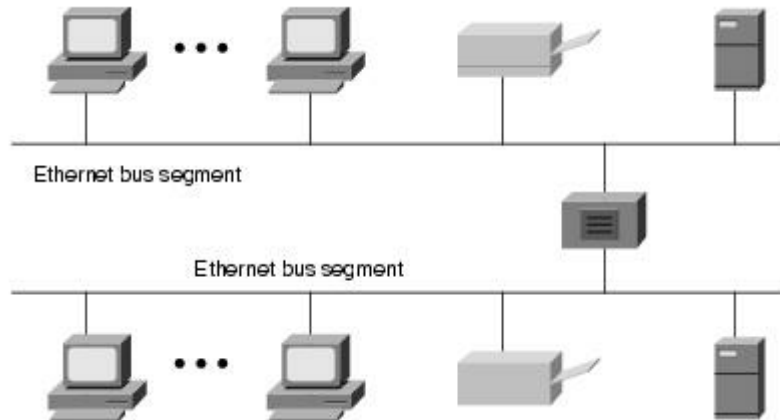


**Figura N° 1.** Interconexión punto a punto

Las redes Ethernet originales se llevaron a cabo con una interconexión en bus, donde existe un único segmento general y las estaciones se conectan de ella. Ver figura N° 2. Las longitudes de los segmentos se limitan a 500 metros, y hasta 100 estaciones podría estar conectado a un solo segmento.

Los segmentos individuales podrían estar interconectados con los repetidores, mientras varias rutas no existían entre dos estaciones de la red y el número de DTE´s no exceda de 1024.

Esta interconexión es en la que un único tendido, mediante derivaciones, da servicio a todos y cada uno de los terminales, por lo que en caso de fallo del mismo una parte de la red queda sin servicio.



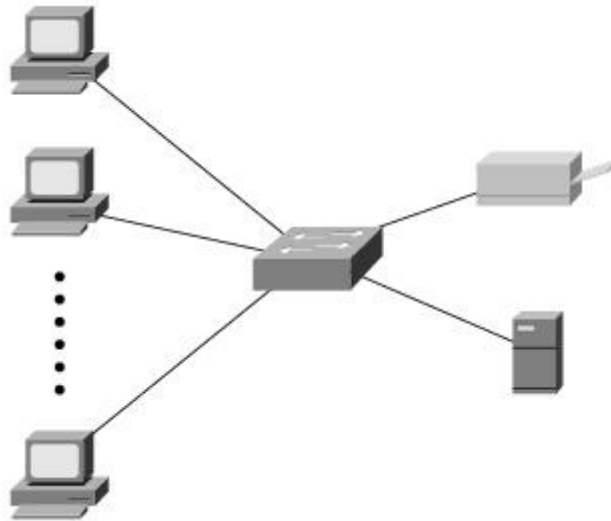
**Figura N° 2. Interconexión en Bus**

A pesar de que esta interconexión fue tan conocida y utilizada, por muchas desventajas que tiene y las nuevas configuraciones de redes utilizadas en la actualidad, se han dejado de utilizar.

Desde principios de 1990, la configuración de la red de elección ha sido la interconexión en estrella como se muestra en la figura N° 3. En esta interconexión, la unidad central de la red es o bien un repetidor multipuerto (también conocido como un concentrador) o un conmutador de red, que sirve de puente entre todos los terminales de la red LAN, proporcionando la conmutación entre ellos. Aísla unos elementos de fallo de otros, pero presenta como un punto crítico el nodo central, que en caso de fallo deja la red sin servicio.

Todas las conexiones en una red en estrella son enlaces punto a punto implementados, ya sea con cable de par trenzado o cable de fibra óptica.





**Figura N° 3.** Interconexión en estrella

#### **3.1.4. Protocolo IEEE 802.3 en relación con el modelo OSI**

El modelo de referencia OSI (Open System Interconnection, Sistemas Abiertos de Interconexión) surge de la necesidad imperante de interconectar sistemas de distintos fabricantes, cada uno de los cuales empleaba sus propios protocolos de comunicación para el intercambio de señales.

El modelo de referencia OSI, describe las reglas que deben seguir los equipos de comunicaciones para que el intercambio de datos sea posible dentro de una infraestructura que éste compuesta de una gran variedad de productos diferentes suministradores.

A partir de este modelo de referencia se han creado y desarrollado una gran familia de protocolos para que diferentes tipos de ordenadores puedan trabajar y comunicarse conjuntamente sobre distintas redes.

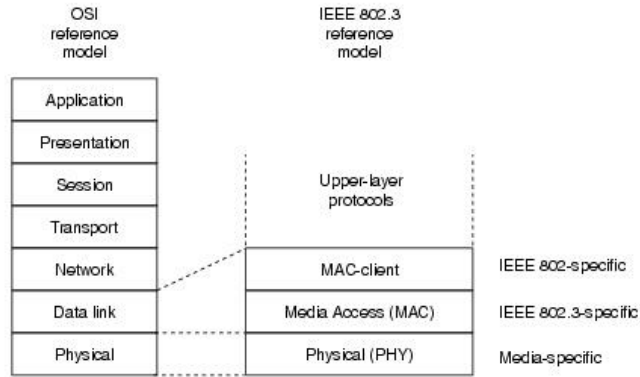
Con el objetivo de definir un estándar flexible y con posibilidad de ampliarse, los organismos de normalización pensaron que una buena idea para conseguirlo era separar en varios módulos la enorme complejidad del proceso de comunicación entre dos aplicaciones. Cada módulo se ocupa de unas tareas específicas, por lo que resulta más fácil realizar cambios en una parte sin que se tenga que alterar el resto de las especificaciones. Así el modelo consta de siete módulos o niveles:

- **Físico.** Proporciona los medios mecánicos, eléctricos, funcionales y de procedimiento para mantener y desactivar las conexiones físicas para la transmisión de bits entre entidades de enlace de datos.

- **Enlace.** Facilita los medios funcionales y de procedimiento para establecer, mantener y liberar conexiones de enlace de datos entre entidades de red y para transmitir unidades de datos del servicio de enlace de datos.
- **Red.** Proporciona los medios para establecer, mantener y liberar la conexión, a través de una red donde existe una malla compuesta de enlaces y nodos, entre sistemas abiertos que contienen entidades de aplicación en comunicaciones, así como los medios funcionales y de procedimiento para el intercambio de unidades de datos del servicio de red entre unidades de transporte por conexiones de red.
- **Transporte.** Efectúa la transferencia de datos entre unidades de sesión y las libera de toda otra función relativa a conseguir una transferencia de datos segura y económica.
- **Sesión.** Proporciona los medios necesarios para que las entidades de presentación en cooperación organicen y sincronicen su diálogo y procedan al intercambio de datos.
- **Presentación.** Permite la representación de la información que las entidades de aplicación comunican o mencionan en su comunicación. Es el responsable de que la información se entregue al proceso de aplicación de manera que pueda ser entendida y utilizada.
- **Aplicación.** Es el medio por el cual los procesos de aplicación acceden al entorno OSI, es decir, proporciona los procedimientos precisos que permiten que los usuarios ejecuten los comandos relativos a su propia aplicación.

Uno de los protocolos que surgieron a nivel mundial es el protocolo o norma IEEE 802.3, conocida como protocolo Ethernet, que define los aspectos físicos y de control de acceso al medio de las redes locales.

En la figura N° 4 se muestra la relación lógica del protocolo Ethernet con el modelo de referencia OSI, se muestra las capas lógicas de la norma IEEE 802.3 y su relación con el modelo de referencia OSI. Al igual que con todos los protocolos IEEE 802, la capa de enlace de datos OSI se divide en dos sub capas IEEE 802, la subcapa Media Access Control (MAC) y la subcapa MAC-cliente. El IEEE 802.3 de la capa física corresponde a la capa física ISO.



**Figura N° 4.** Relación lógica de Ethernet para el modelo de referencia OSI

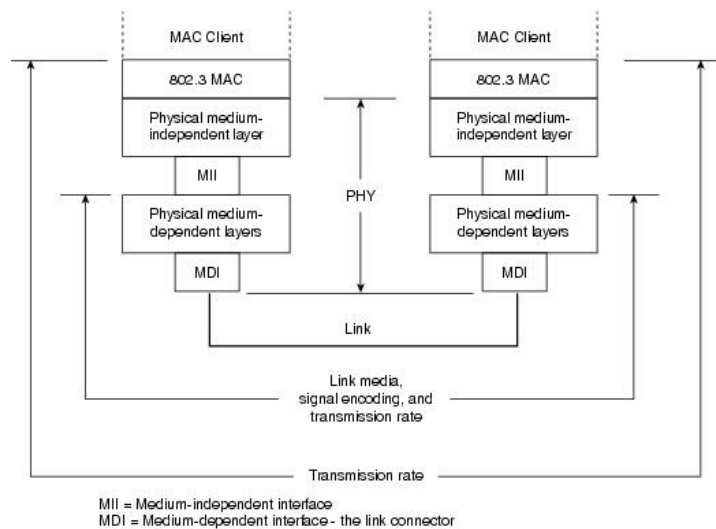
La subcapa MAC-cliente puede ser una de las siguientes:

Control de enlace lógico (LLC), si la unidad es un DTE. Esta subcapa proporciona la interfaz entre el MAC Ethernet y las capas superiores de la pila de protocolos de la estación final. La sub capa LLC está definida por IEEE 802.2 normas.

Puente de la entidad, si la unidad es un DCE. Entidades puente proporcionan LAN-to-LAN interfaces entre redes de área local que utilizan el mismo protocolo (por ejemplo, Ethernet a Ethernet) y también entre los diferentes protocolos (por ejemplo, Ethernet a Token Ring). Puente de las entidades están definidas por las normas IEEE 802.1.

Dado que las especificaciones para la LLC y las entidades del puente son comunes para todos los protocolos IEEE 802 LAN, compatibilidad con la red se convierte en el principal responsable del protocolo de red en particular.

En la figura N° 5, se muestran los requisitos de compatibilidad de la capa de acceso y el nivel físico para la comunicación de datos básicos a través de una conexión Ethernet.



**Figura N° 5.** Requisitos de compatibilidad de las capas física y de acceso para la comunicación de datos básicos

La capa física de la norma IEEE 802.3, especifica la tasa de transmisión de datos, la codificación de la señal, y el tipo de interconexión de los medios de comunicación los dos nodos. Por ejemplo una de sus tecnologías “Gigabit Ethernet”, se define para operar sobre cualquiera de par trenzado o cable de fibra óptica, pero cada tipo específico de cable o procedimiento de codificación de la señal requiere una aplicación diferente de la capa física.

La dirección MAC controla el acceso del nodo a los medios de red y es específico para el protocolo individual. Todas las direcciones MAC de la red IEEE 802.3 debe cumplir el mismo conjunto básico de requisitos lógicos, independientemente de que incluyen una o más de las extensiones de protocolo definidos opcionales. El único requisito para la comunicación básica (comunicación que no requiere extensiones opcionales del protocolo) entre dos nodos de la red es que tanto los MAC debe ser compatible con la misma velocidad de transmisión.

#### 3.1.4.1. La subcapa MAC de Ethernet:

La subcapa MAC tiene dos responsabilidades principales: el primero el encapsulado de datos, incluyendo conjunto de bastidor antes de la transmisión, y la detección marco de análisis / error durante y después de la recepción; y segundo los medios de control de acceso, incluyendo la iniciación de la transmisión de la trama y la recuperación de fallas en la transmisión.

### 3.1.4.2. Método de acceso

- **Half-Duplex (CSMA/CD).** El protocolo CSMA/CD fue desarrollado originalmente como un medio por el cual dos o más estaciones pueden compartir un medio de comunicación común en un entorno de cambio, menos cuando el protocolo no exige que las ranuras de arbitraje central, tokens de acceso, o el tiempo asignado para indicar cuando una estación se permitió a transmitir. Cada dirección MAC de Ethernet determina por sí mismo cuando se le permitirá enviar una trama.

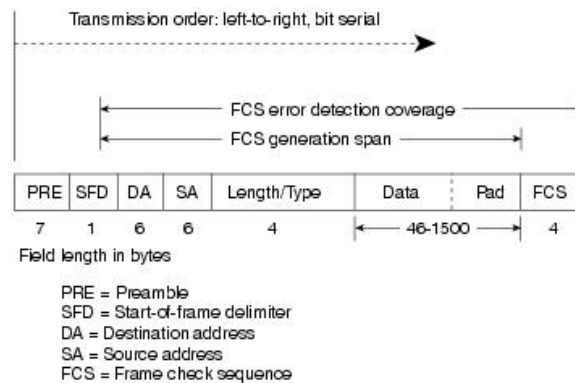
Las reglas de acceso del protocolo CSMA/CD son las siguientes:

El estándar IEEE 802.3 define un formato de datos básicos marco que se requiere para todas las implementaciones de Mac, además de varios formatos adicionales opcionales que se utilizan para ampliar la capacidad básica del protocolo. El formato de datos básicos marco contiene los siete campos que se muestran en la figura N° 6.

- **Preámbulo (PRE).** Consta de 7 bytes. El PRE es un modelo de alternancia de unos y ceros que le dice a las estaciones receptoras que una trama viene, y que proporciona un medio para sincronizar las porciones de recepción marco de la recepción de las capas físicas con el flujo de bits entrante.
- **Inicio del encuadre delimitador (SOF).** Consta de 1 byte. La SOF es un modelo de alternancia de unos y ceros, terminando con dos consecutivos de 1 bit que indica que el siguiente bit es el bit más a la izquierda en el byte más a la izquierda de la dirección de destino.
- **Dirección de destino (DA).** Consta de 6 bytes. El campo de DA identifica cuál es la estación (s) que debe recibir la trama. El bit más a la izquierda en el campo DA indica si la dirección es una dirección individual (indicado por un 0) o una dirección de grupo (indicado por un 1). El segundo bit de la izquierda indica si la DA se administran globalmente (indicado por un 0) o se administran localmente (indicado por un 1). Los restantes 46 bits son un valor único asignado que identifica una sola estación, un grupo definido de estaciones, o todas las estaciones de la red.
- **Direcciones de origen (SA).** Se compone de 6 bytes. El campo de SA identifica a la estación emisora. La SA es siempre una dirección individual y el bit más a la izquierda en el campo SA es siempre 0.
- **Longitud / Tipo.** Consta de 2 bytes. Este campo indica o bien el número de bytes de datos MAC-cliente que están contenidas en el campo de datos de la trama, o el identificador del tipo de trama, si se monta el marco utilizando un formato opcional. Si el valor del campo Longitud / Tipo es menor o igual a 1500, el número de bytes LLC en el campo de datos es igual al valor del campo Longitud / Tipo. Si el valor del campo Longitud / Tipo es mayor que

1536, el marco es un marco de tipo opcional, y el valor del campo Longitud /Tipo identifica el tipo de marco se envía o recibe.

- **Datos.** Es una secuencia de n bytes de cualquier valor, donde n es menor o igual a 1500. Si la longitud del campo de datos es menor que 46, el campo de datos debe ser ampliado por la adición de un relleno (una almohadilla) suficiente para llevar la longitud del campo de datos a 46 bytes.
- **Secuencia de verificación (FCS).** Consta de 4 bytes. Esta secuencia contiene un 32-bits de verificación de redundancia cíclica (CRC) de valor, que es creado por el envío de MAC y se vuelve a calcular por la recepción de MAC para comprobar si los marcos dañados. El FCS se genera en el DA, SA, Longitud / Tipo, y los campos de datos.



**Figura N° 6.** Formato de la trama de la dirección MAC en las redes Ethernet 802.3

### Modo de operación

Siempre que un extremo de una estación recibe una petición de transmisión marco con la dirección de acompañamiento y la información de datos de la subcapa LLC, la capa de acceso con la dirección MAC comienza la secuencia de transmisión mediante la transferencia de la información LLC en el buffer de cuadro MAC y realizando las siguientes reglas.

1. El preámbulo y el comienzo del encuadre delimitador se insertan en los campos de PRE y SOF.
2. Las direcciones de destino y la fuente se inserta en los campos de dirección.
3. Los bytes de datos LLC se cuentan, y el número de bytes se inserta en la longitud / campo Tipo.
4. Los bytes de datos LLC se insertan en el campo de datos. Si el número de bytes de datos LLC es menor que 46, una almohadilla se añade a traer la longitud del campo de datos de hasta 46.
5. Un valor de FCS se genera en el DA, SA, Longitud / Tipo, y los campos de datos y se añade al final del campo de datos.

Después de que la trama está lista, la transmisión real dependerá de si la dirección MAC está funcionando en modo Half - dúplex o Full - dúplex completo.

### **Modo de transmisión Half - Dúplex**

- **Sensado.** Cada estación continua escucha el tráfico en el medio para determinar si las diferencias entre las transmisiones de marco se producen.
- **Acceso múltiple.** Las estaciones pueden empezar a transmitir en cualquier momento que detecta que la red está en silencio (no hay tráfico).
- **Detectar colisión.** Si dos o más estaciones en el mismo CSMA / CD red (dominio de colisión) comenzará a transmitir en aproximadamente el mismo tiempo, los flujos de bits de las estaciones transmisoras interfiera (chocar) entre sí, y ambas transmisiones será ilegible. Si esto sucede, cada estación transmisora debe ser capaz de detectar una colisión que se ha producido antes de que haya terminado de enviar su marco. Cada uno debe dejar de transmitir en cuanto se ha detectado la colisión y luego hay que esperar un largo al azar de tiempo (determinado por un algoritmo de back-off) antes de intentar retransmitir la trama.

La peor situación de los casos se produce cuando las dos estaciones más distantes de la red necesitan enviar una trama y cuando la segunda estación no empezará a transmitir hasta justo antes de la estructura de la estación llega por primera vez. La colisión se detecta casi inmediatamente por la segunda estación, pero no será detectado por la primera estación hasta que la señal dañada ha propagado todo el camino de vuelta a la estación. El tiempo máximo que se requiere para detectar una colisión (la ventana de colisión, o "ranura de tiempo") es aproximadamente igual al doble del tiempo de propagación de la señal entre las dos estaciones más distantes de la red.

Esto significa que tanto la longitud de trama mínimo y el máximo diámetro de choque están directamente relacionadas con la ranura de tiempo. Longitudes de trama mínima más larga se traducen en períodos horarios más largos y diámetros mayores de colisión, más cortas longitudes de trama mínimos corresponden a los tiempos más cortos de ranura y diámetros más pequeños de colisión.

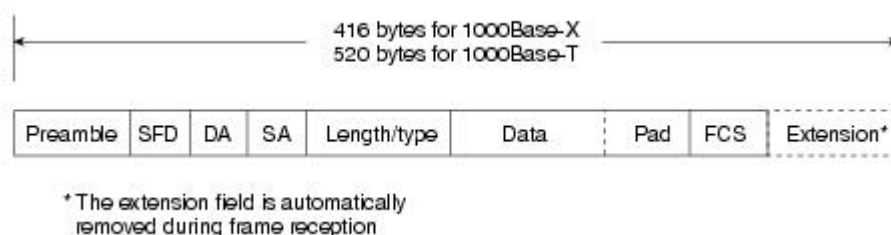
La compensación es entre la necesidad de reducir el impacto de la recuperación de colisión y la necesidad de diámetros de la red para ser lo suficientemente grande para acomodar tamaños razonables de red. El compromiso fue elegir un diámetro máximo de la red (cerca de 2500 metros) y luego para establecer la longitud de trama mínimo el tiempo suficiente para asegurar la detección de las colisiones de peor caso.

El compromiso ha funcionado bien durante 10 Mbps, pero que era un problema para la mayor velocidad de datos Ethernet a los desarrolladores. Fast Ethernet se requiere para proporcionar compatibilidad con versiones anteriores de las redes Ethernet, incluyendo el formato de trama existente IEEE 802.3 y los procedimientos de detección de errores, además de todas las aplicaciones y software de red que se ejecuta en las redes de 10 Mbps.

Aunque la velocidad de propagación de la señal es esencialmente constante para todas las tasas de transmisión, el tiempo necesario para transmitir una trama es inversamente proporcional a la velocidad de transmisión. En 100 Mbps, un marco mínimo de longitud puede ser transmitido en aproximadamente una décima parte de la ranura de tiempo definido, y cualquier colisión que se produjo durante la transmisión no es probable sería detectado por las estaciones transmisoras. Esto, a su vez, significa que los diámetros máximos especificados para la red 10 Mbps redes no podrían ser utilizados para 100 Mbps redes. La solución para Fast Ethernet era reducir el diámetro máximo de la red en aproximadamente un factor de 10 (a un poco más de 200 metros).

El mismo problema surgió durante el desarrollo de especificaciones para Gigabit Ethernet, pero la disminución de los diámetros de la red por otro factor de 10 (a unos 20 metros) de una operación de 1000 Mbps no era simplemente práctica. Esta vez, los desarrolladores elegidos para mantener aproximadamente los mismos diámetros máximos de dominio de colisión como 100 Mbps y redes para aumentar el tamaño mínimo marco aparente mediante la adición de un campo de longitud variable NONDATA extensión de los marcos que son más corta que la longitud mínima (el campo de extensión se elimina durante la recepción de marco).

La Figura N° 7 muestra el formato de trama de la dirección MAC con el campo de la extensión Gigabit, y la tabla N° 4 muestra el efecto entre la tasa de transmisión de datos y el tamaño del marco mínimo de 10 Mbps, 100 Mbps, y 1000 Mbps Ethernet.



**Figura N° 7.** Trama de dirección MAC en una interconexión Gigabit

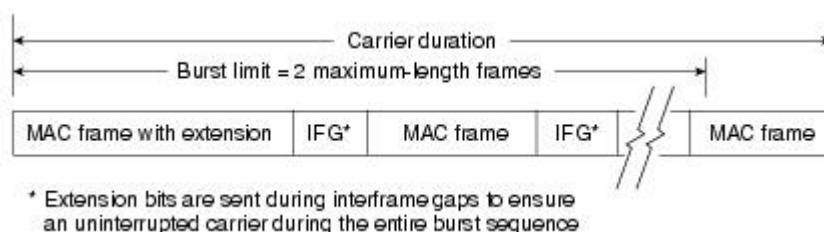


**Tabla N° 4.** Operación para Half-Duplex

Parameter	10 Mbps	100 Mbps	1000 Mbps
Minimum frame size	64 bytes	64 bytes	520 bytes (with extension field added)
Maximum collision diameter, DTE to DTE	100 meters UTP	100 meters UTP	100 meters UTP
		412 meters fiber	316 meters fiber
Maximum collision diameter with repeaters	2500 meters	205 meters	200 meters
Maximum number of repeaters in network path	5	2	1

El tamaño de la trama de 520 bytes se aplica a las implementaciones de 1000BaseT. El tamaño mínimo del marco con el campo de extensión para 1000BaseX se reduce a 416 bytes porque 1000BaseX codifica y transmite 10 bits de cada byte.

Otro de los cambios a la especificación de transmisión de Ethernet CSMA / CD es la adición del marco de ruptura para el funcionamiento Gigabit. El modo de ráfaga es una característica que permite a una dirección MAC enviar una secuencia corta (una explosión) de los marcos de igual a aproximadamente 5,4 de longitud máxima de cuadros sin tener que renunciar al control del medio. La transmisión de MAC se llena cada intervalo de tramas con los bits de extensión, como se muestra en la Figura N° 8, de modo que las demás estaciones de la red se verá que la red está ocupada y no intentará la transmisión hasta después de la rotura es completa.



**Figura N° 8.** Secuencia una trama explosivo Gigabit

Si la longitud de la primera trama es menor que la longitud de trama mínima, un campo de extensión se añade para extender la longitud de la trama con el valor indicado en la Tabla N° 4.

Tramas posteriores en una secuencia de cuadros ráfaga no necesita campos de extensión, y una ráfaga marco puede continuar mientras el límite de rotura no ha sido alcanzado. Si el límite de explosión se alcanza después de un bastidor de

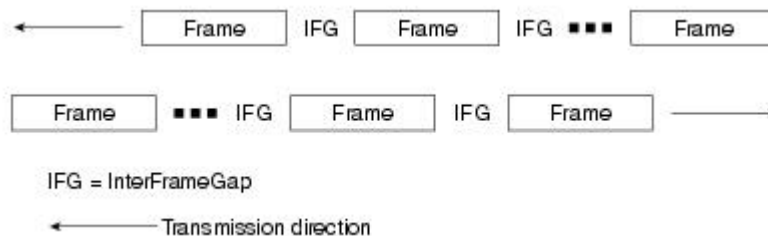
transmisión ha comenzado, la transmisión se permite que continúe hasta que todo el encuadre ha sido enviada.

Campos de la trama de extensión no están definidos, y el modo de ráfaga no está permitido para 10 Mbps y 100 Mbps de velocidades de transmisión.

- **Transmisión Full-Dúplex**

Full-dúplex es una capacidad opcional de MAC que permite el acceso simultáneo de dos vías de transmisión a través de enlaces punto a punto. La transmisión full-dúplex es funcionalmente mucho más simple que la transmisión half-dúplex, ya que no implica ninguna afirmación de los medios de comunicación, las colisiones no, no hay necesidad de programar las retransmisiones, y no hay necesidad de que los bits de extensión en el extremo de tramas cortas. El resultado no es sólo el tiempo más disponible para la transmisión, sino también una duplicación efectiva del ancho de banda de enlace por cada enlace puede soportar ahora todo el caso, simultánea, de dos vías de transmisión.

La transmisión generalmente puede comenzar tan pronto como las tramas están listas para enviar. La única restricción es que debe haber un intervalo entre tramas de longitud mínima entre cuadros sucesivos, como se muestra en la figura N° 9, el envío de dos vías de transmisión en el mismo enlace, y la trama de cada una debe cumplir con los estándares de Ethernet en su formato de trama.



**Figura N° 9.** Operación Full Dúplex de dos vías de transmisión en el mismo enlace.

La operación full-dúplex y su capacidad de caudal son las dos opciones para todos los MAC Ethernet y todas las tasas de transmisión. Ambas opciones están habilitadas de forma de enlace a enlace, en el supuesto de que las capas físicas asociadas también son capaces de apoyar la operación full-dúplex.

Las tramas de pausa se identifican como tramas de control MAC por una exclusiva asignación de longitud / tipo de valor. También se le asigna un valor de dirección de destino reservado para asegurarse de que un marco de una pausa de entrada no se transmite a las capas superiores o protocolo a otros puertos en un Switch.

- **La recepción de tramas**

La trama de recepción es esencialmente la misma para ambas operaciones half - dúplex y full - dúplex, excepto que las MACs full - dúplex debe tener direcciones separadas para el bastidor y las trayectorias de datos para permitir la transmisión de la trama y recepción simultánea.

La recepción de cuadros es el reverso de transmisión de la trama. La dirección de destino de la trama recibida se comprueba y se compara con la lista de direcciones de la estación (su dirección MAC, sus direcciones de grupo, y la dirección de difusión) para determinar si la trama está destinada a esa estación. Si una coincidencia de dirección se encuentra, la longitud de trama está marcada y la recibida de FCS se compara con la FCS que se generó durante la recepción. Si la longitud de trama está bien, el tipo de trama está determinada por el contenido de la longitud / campo Tipo. La trama se analiza y se transmite a la capa superior apropiada.

### **3.1.5. La capa física Ethernet**

Debido a que los dispositivos Ethernet se implementan con sólo las dos capas inferiores de la pila de protocolos OSI, que se implementan normalmente como tarjetas de interfaz de red (NIC) que se conectan a la placa base del equipo anfitrión. Las tarjetas de red diferentes se identifican por el nombre del producto de las partes que se basa en los atributos de la capa física.

La convención de nombres es una concatenación de tres términos que indican la velocidad de transmisión, el método de transmisión, y la codificación del tipo de medio / de la señal, como por ejemplo:

- 10 Base T = 10 Mbps, banda base, más de dos cables de par trenzado.
- 100 Base T2 = 100 Mbps, banda base, más de dos cables de par trenzado.
- 100 Base T4 = 100 Mbps, banda base, a través de cables de par trenzado de cuatro.
- 1000 Base LX = 100 Mbps, banda base, la longitud de onda larga a través de cable de fibra óptica.

Una pregunta que surge a veces de por qué el término medio siempre parece ser "la base". Las primeras versiones del protocolo también permite la transmisión de banda ancha (por ejemplo, 10Broad), pero las implementaciones de banda ancha no tuvieron éxito en el mercado. Todas las actuales implementaciones de Ethernet utilizan la transmisión de banda base.

### 3.1.5.1. La codificación para la transmisión de señales

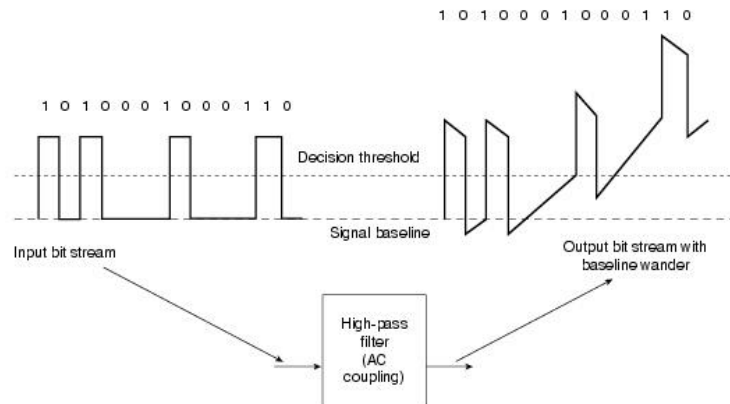
En la transmisión de banda base, la información de trama está directamente impresa sobre el enlace como una secuencia de pulsos o símbolos de datos que son típicamente atenuada (de tamaño reducido) y distorsionada (cambiado en forma) antes de llegar al otro extremo del enlace. La tarea del receptor es detectar cada pulso a medida que llega y luego extraer su valor correcto antes de transferir la información reconstruida a la recepción de MAC.

Los filtros y circuitos conformación de impulsos puede ayudar a restaurar el tamaño y forma de las formas de onda recibida, pero las medidas adicionales deben tomarse para garantizar que las señales recibidas son muestreadas en el momento correcto en el período de impulso y en misma velocidad que el reloj de transmisión:

- El reloj de recepción debe ser recuperado del flujo de datos entrantes para permitir que la capa receptora física para sincronizar con los impulsos de entrada.
- Las medidas de compensación deben ser tomadas por un efecto de transmisión conocida como línea de base deambula.

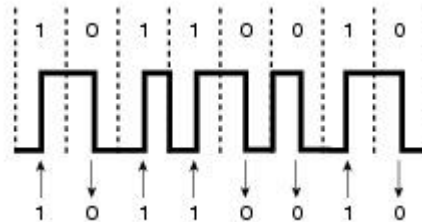
La recuperación de reloj requiere transiciones de nivel en la señal entrante para identificar y sincronizar en los límites de impulsos. Los 1s y 0s alternan del preámbulo de la trama, fueron diseñados tanto para indicar que una trama llegaba y para ayudar en la recuperación de reloj. Sin embargo, los relojes recuperados pueden desplazarse y posiblemente perder la sincronización si los niveles de impulsos se mantienen constantes y no hay transiciones para detectar (por ejemplo, durante largas cadenas de 0s).

Los enlaces Ethernet AC junto a los transceptores y el acoplamiento de CA, es incapaz de mantener los niveles de tensión durante más de un corto período de tiempo. Como resultado, los impulsos transmitidos son distorsionados por un efecto de caída como se puede ver en la figura N° 10. En las cadenas largas de cualquiera de 1s o 0s, la caída puede llegar a ser tan grave que el nivel de tensión pasa por el umbral de decisión, dando lugar a erróneas valores muestreados para los pulsos afectados.



**Figura N° 10.** Ejemplo de Concepto de Línea de Base Wander

Afortunadamente, la codificación de la señal de salida antes de la transmisión puede reducir significativamente el efecto de estos dos problemas, así como reducir la posibilidad de errores de transmisión. Las primeras implementaciones de Ethernet, incluyendo 10 Base T, utilizan el método de codificación de Manchester, que se muestra en la figura N° 11. Cada impulso es claramente identificado por la dirección de la transición a mediados de pulso más que por su valor de nivel de la muestra.



**Figura N° 11.** Codificación binaria de Manchester

La codificación Manchester introduce algunos difíciles problemas relativos a las frecuencias que lo hacen inadecuado para su uso en las tasas de datos más altas.

Ethernet con posterioridad a 10 Base T, uso diferentes tipos de codificación que incluyen algunas o todas de las siguientes técnicas:

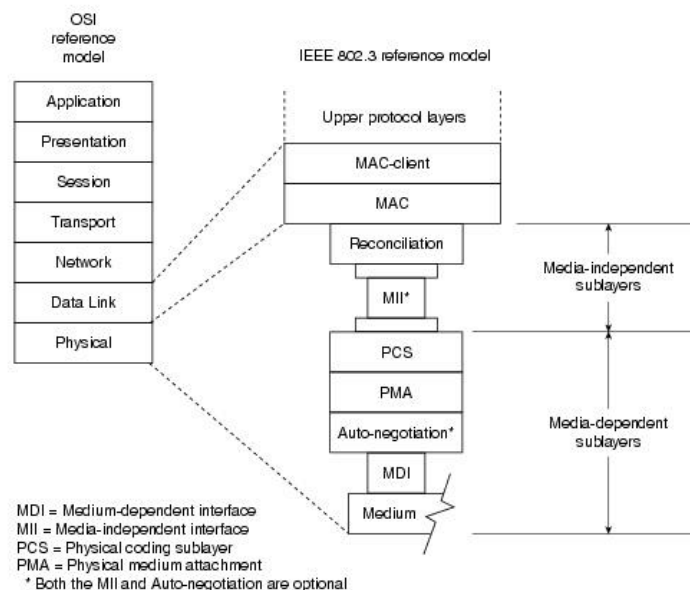
- **El uso de codificación de datos.** Un procedimiento que codifica los bits en cada byte de una manera ordenada. Algunos 0s se cambian a 1s, algunos 1s se cambian a 0s, y algunos bits se salieron de la misma. El resultado es una reducción de longitud de ejecución de los bits del mismo valor, la densidad de transición mayor y más fácil de recuperación de reloj.
- **Ampliar el espacio de código.** Una técnica que permite la asignación de códigos separados de los datos y los símbolos de control (como delimitadores

de comienzo del arroyo y al final de su corriente, los bits de extensión, etc.) y que ayuda en la detección de errores de transmisión.

- **Utilizando adelante códigos de corrección de errores.** Una codificación en la que se añade información redundante para el flujo de datos transmitidos de modo que algunos tipos de errores de transmisión puede ser corregida durante la recepción de bastidor.

### 3.1.5.2. Relación 802,3 de la capa física con el modelo de referencia OSI

Aunque el modelo lógico específico de la capa física puede variar de una versión a otra, todas las tarjetas de red Ethernet se ajustan en general al modelo genérico se muestra en la Figura N° 12.



**Figura N° 12.** Modelo físico genérico de Ethernet

La capa física para cada velocidad de transmisión se divide en sub-capas que son independientes del tipo de los medios de comunicación en particular y subcapas que son específicos para el tipo de soporte o la codificación de la señal.

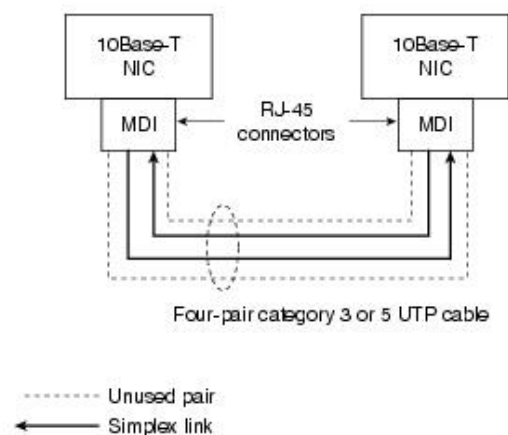
- La subcapa la reconciliación y el opcional de los medios de comunicación interfaz independiente (MII en 10 Mbps y Ethernet a 100 Mbps, Gigabit Ethernet GMII) proporcionan la conexión lógica entre la MAC y los diferentes conjuntos de los medios de comunicación que dependen de las capas. El MII y GMII se definen con diferentes rutas de datos de transmisión y recepción que son bits de serie de 10 Mbps de implementaciones, cuarteto de serie (4 bits de ancho) de 100 Mbps, y las implementaciones de bytes de serie (8 bits de ancho) para 1000 Mbps. Las interfaces de los medios de comunicación

independientes y la subcapa de la reconciliación son comunes en sus respectivas tasas de transmisión y están configurados para operación full - dúplex en 10 Base T y todas las posteriores versiones de Ethernet.

- Los medios de comunicación dependientes de la subcapa de codificación física (PCS) proporciona la lógica para la codificación, multiplexación y sincronización de los flujos de símbolos de salida, así como la alineación el símbolo del código, de multiplexación y la decodificación de los datos entrantes.
- La subcapa (PMA) subcapa contiene los transmisores y receptores de señales (transceptores), así como la lógica de recuperación de reloj para los flujos de datos recibidos.
- La interfaz medio dependiente (MDI) es el conector del cable entre los transmisores - receptores de señal y el enlace.
- La subcapa negociación automática permite a las tarjetas de red en cada extremo del enlace para el intercambio de información acerca de sus capacidades individuales, y después de negociar y seleccionar el modo de funcionamiento más favorable que ambos son capaces de soportar. La negociación automática es opcional en las primeras implementaciones de Ethernet y es obligatorio en las versiones posteriores.

Dependiendo de qué tipo de codificación de la señal se utiliza y cómo se configuran los enlaces, el PCS y PMA pueden o no ser capaz de soportar operación full - dúplex.

**3.1.5.3. Conexión 10 Base T.** La conexión 10 Base T ofrece la codificación Manchester a 10 Mbps en serie comunicación a través de dos hilos sin blindaje, cables de par trenzado. Aunque la norma fue diseñada para apoyar la transmisión por cable telefónico común, la configuración de enlace más típico es el uso de dos pares de una categoría de cuatro pares de cable de 3 o 5, terminado en cada tarjeta de red con 8 pines y un conector RJ-45 (el MDI ), como se muestra en la figura N° 13, el típico enlace 10 Base T es un cable de cuatro pares UTP en el que dos parejas no se utilizan, los pares se configuran como un enlace simple, donde la transmisión es en una sola dirección, las capas físicas 10 Base T pueden soportar ya sea la operación half - dúplex o full - dúplex.



**Figura N° 13.** Enlace 10 Base T es un cable de cuatro pares UTP.

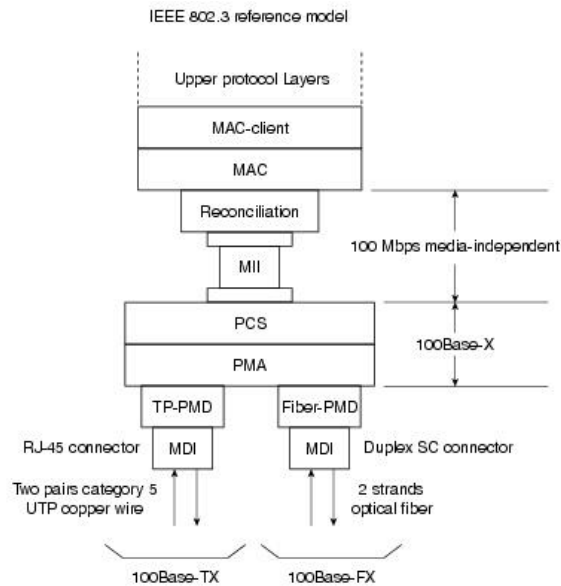
El aumento de la velocidad de transmisión Ethernet por un factor de diez en el transcurso 10 Base T no es una tarea sencilla, y el esfuerzo se tradujo en el desarrollo de las tres normas de la capa física de 100 Mbps sobre cable UTP: 100 Base TX y 100 Base T4 en 1995, y 100 Base T2 en 1997. Cada uno define los requisitos de codificación diferentes y un conjunto diferente de medios de comunicación dependientes de la sub-capas, a pesar de que existe un cierto solapamiento en el cableado de enlace.

**Tabla N° 5.** Características de la capa física en sus diferentes versiones

Ethernet Version	Transmit Symbol Rate	Encoding	Cabling	Full-Duplex Operation
10Base-T	10 MBd	Manchester	Two pairs of UTP Category -3 or better	Supported
100Base-TX	125 MBd	4B/5B	Two pairs of UTP Category -5 or Type 1 STP	Supported
100Base-T4	33 MBd	8B/6T	Four pairs of UTP Category -3 or better	Not supported
100Base-T2	25 MBd	PAM5x5	Two pairs of UTP Category -3 or better	Supported

**3.1.5.4. Conexión 100 Base X.** Fue diseñado para apoyar la transmisión a través de cualquiera de los dos pares de categoría 5 en los cables de cobre UTP o dos hilos de fibra óptica. Aunque la codificación, decodificación, y procedimientos de recuperación de reloj son los mismos para ambos medios, la transmisión de la señal es diferente, pulsos eléctricos en cobre y pulsos de luz en la fibra óptica. Los transmisores - receptores de señal que se incluyeron como parte de la función de la PMA en el modelo genérico lógico se redefine como las distintas sub-capas físicas dependientes de los medios (PMD) en el modelo de 100 Base X Lógico. Ver figura N° 14.



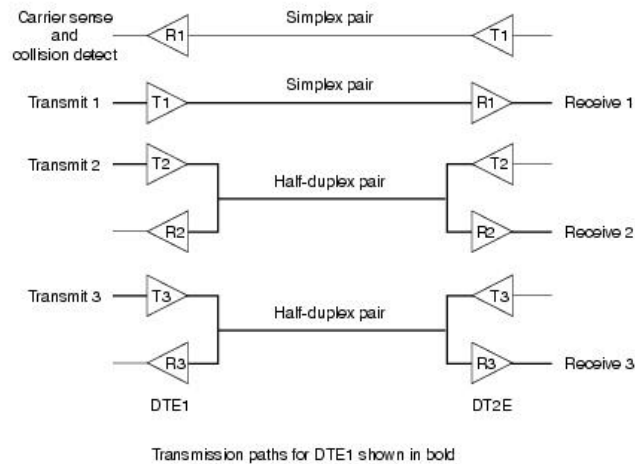


**Figura N° 14.** El Modelo Lógico 100Base-X

El procedimiento de codificación 100 Base X está basado en el anterior FDDI de fibra óptica física de cobre dependiente de los medios y FDDI / CDDI de par trenzado físico, dependiente de los medios de señalización de las normas elaboradas por la ISO y ANSI. La conexión 100 Base TX física, dependiente del medio (TP-PMD) se llevó a cabo con CDDI transceptores de semiconductores y los conectores RJ-45, el PMD de fibra se llevó a cabo con FDDI transceptores ópticos de fibra y el bajo costo del conector de interfaz (comúnmente llamado el conector SC dúplex).

El procedimiento de codificación 4B/5B es el mismo que el procedimiento de codificación utilizado por FDDI, con sólo pequeñas adaptaciones para acomodar el control de trama de Ethernet. Cada nibble 4 bit de datos (que representa la mitad de un byte de datos) se hace corresponder a un 5 bit binarios de código de grupo que se transmite de bits en serie en el enlace.

**3.1.5.5. Conexión 100 Base T4.** 100 Base T4 ha sido desarrollado para permitir que las redes 10 Base T a ir ascendiendo a 100 Mbps de operación, utilizando cuatro pares de categoría 3 cables UTP, sean sustituidos por los nuevos cables de categoría 5. Dos de los cuatro pares están configurados para un half - dúplex y puede soportar la transmisión en ambas direcciones, pero sólo en una dirección a la vez. Los otros dos pares se configuran como pares simplex dedicados a la transmisión en una dirección solamente. La transmisión de trama utiliza ambos pares half - dúplex, más el par simple que sea apropiado para la dirección de transmisión, como se muestra en la Figura N° 15. El par simple de la dirección opuesta proporciona detección de portadora y detección de colisiones.

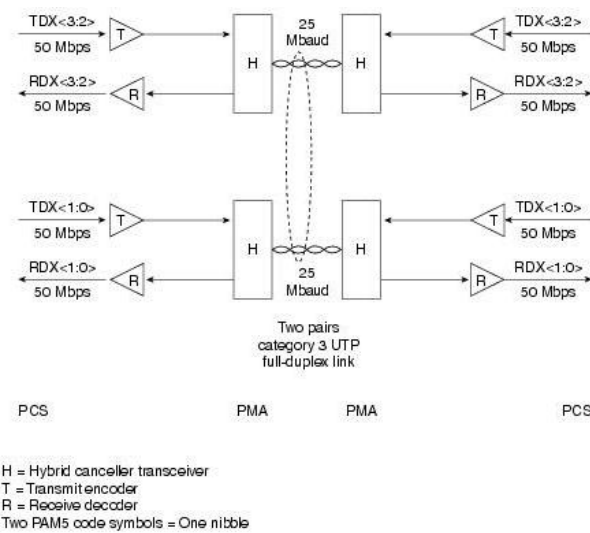


**Figura N° 15.** Transmisión de la trama

**3.1.5.6. Conexión 100 Base T2.** La especificación 100 Base T2 se ha desarrollado como una mejor alternativa para mejorar las redes con la categoría 3 de cableado instalada de la que ofrecía por 100 Base T4. Dos nuevos objetivos importantes se definieron:

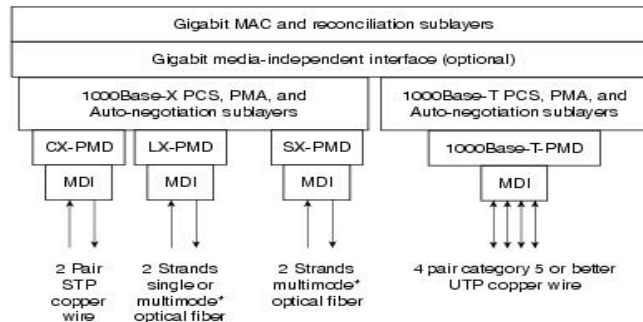
- Para proporcionar comunicación a través de dos pares de categoría 3 o más de cable.
- Para apoyar tanto a la operación half - dúplex y full – dúplex.

100 Base T2 utiliza un procedimiento de transmisión de señal diferente a las anteriores implementaciones de par trenzado de Ethernet. En lugar de usar dos enlaces simplex para formar un dúplex completo, el 100 Base T2 dúplex de doble método de transmisión de banda base envía símbolos codificados simultáneamente en ambas direcciones en ambos pares de hilos, como se muestra en la figura N° 16. El término "TDX <03:02>" indica que los 2 bits más significativos en el cuarteto antes de la codificación y la transmisión. "RDX <03:02>" indica que los mismos 2 bits después de la recepción y decodificación.



**Figura N° 16.** Topología de un enlace 100 Base T2

**3.1.5.7. Conexión a 1000 Mbps, Gigabit Ethernet.** El Gigabit Ethernet dio lugar a dos especificaciones principales: 1000 Base T de cobre UTP y 1000 Base X cable de cobre STP, así como de fibra óptica mono modo y multimodal. Ver figura N° 17.



**Figura N° 17.** Variaciones Gigabit Ethernet

**3.1.5.7.1. 1000 Base T.** Proporciona transmisión full - dúplex sobre cuatro pares de Categoría 5 cable UTP. 1000 Base T se basa en gran medida de los resultados y enfoques de diseño que condujeron al desarrollo de las implementaciones de Fast Ethernet de la capa física:

- 100 Base TX demostrado que secuencias binarias de símbolos puede ser transmitido con éxito sobre cable de Categoría 5 UTP a 125 MBd.
- 100 Base T4 proporcionado una comprensión básica de los problemas relacionados con el envío de señales de niveles múltiples de más de cuatro pares de hilos.
- 100 Base T2 demostrado que PAM5 codificación, junto con el procesamiento digital de señales, puede manejar tanto simultáneas en ambos sentidos de

flujos de datos y los posibles problemas de diafonía resultantes de señales alienígenas en los pares de cables adyacentes.

1000 Base T codifica cada byte de la trama MAC al azar a la secuencia de bits antes de que se codifica con un 4-D, 8 estados Forward Error Correction (FEC), la codificación en el que cuatro PAM5, símbolos son enviados al mismo tiempo, más de cuatro hilos pares. Cuatro de los cinco niveles en cada símbolo PAM5 representar 2 bits en el byte de datos. El quinto nivel se utiliza para FEC codificación, que mejora la recuperación de símbolos en la presencia de ruido y la diafonía. Codificadores separados para los PHY maestro y esclavo crear esencialmente no correlacionados flujos de datos entre los dos flujos de símbolos opuesto que viajan en cada par de hilos.

Como se muestra en la figura N° 18. El término "TDX <07:06>" indica que los 2 bits más significativos del byte de datos antes de la codificación y la transmisión. "RDX <07:06>" indica que los mismos 2 bits después de la recepción y decodificación.

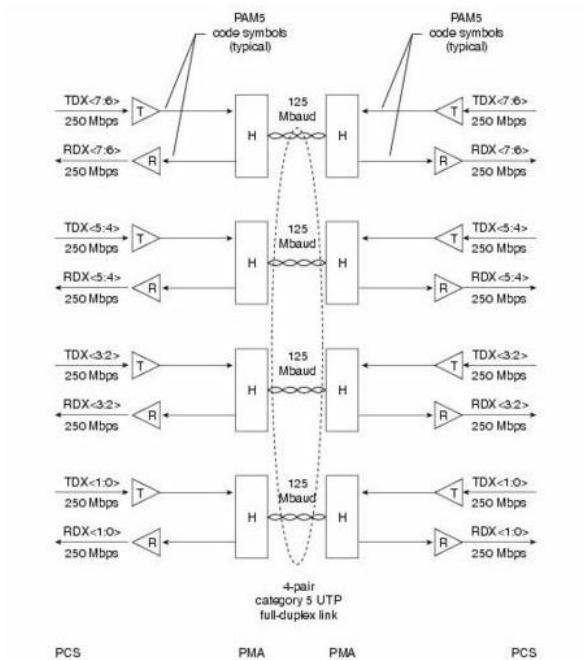
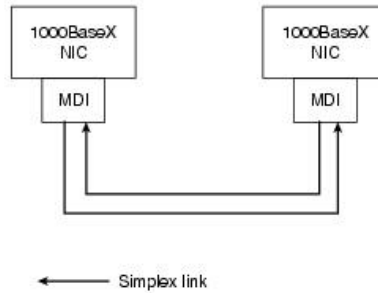


Figura N° 18. La topología de Enlace 1000Base-T

**3.1.5.7.2. Conexión 1000 Base X.** Las tres versiones 1000 Base soportan transmisión full – dúplex binaria a 1250 Mbps a través de dos hilos de fibra óptica o dos pares de hilos de cobre STP, como se muestra en la figura N° 19. La transmisión de codificación se basa en el esquema de codificación de canal de fibra ANSI 8B/10B. Cada byte de datos de 8 bits se asigna a uno de 10 bits de código de grupo para la transmisión de bits en serie. Al igual que las versiones anteriores de Ethernet, cada cuadro de datos se encapsulan en la capa física

antes de la transmisión y sincronización de enlace se mantiene mediante el envío de un flujo continuo de inactividad de código de los grupos durante las brechas entre tramas. Todas las capas 1000 Base X físicos apoyan tanto la operación half - dúplex y full - dúplex.



**Figura N° 19.** 1000Base-X Configuración del enlace

Las principales diferencias entre las versiones de 1000 Base X son los medios de comunicación de enlace y los conectores que las versiones especiales se apoyan y, en el caso de los medios ópticos, la longitud de onda de la señal óptica. Ver tabla N° 6.

**Tabla N° 6.** 1000 Base X Vínculo de asistencia de configuración

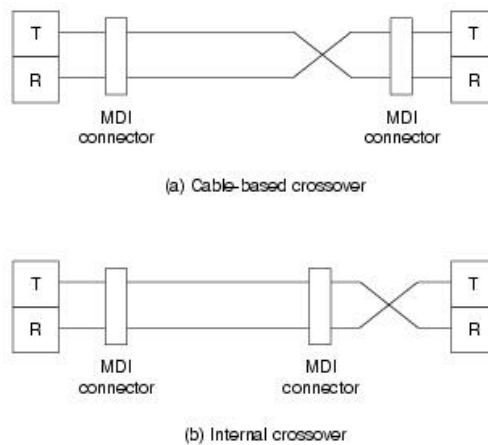
Link Configuration	1000Base-CX	1000Base-SX (850 nm Wavelength)	1000Base-LX (1300 nm Wavelength)
150 $\Omega$ STP copper	Supported	Not supported	Not supported
125/62.5 $\mu\text{m}$ multimode optical fiber	Not supported	Supported	Supported
125/50 $\mu\text{m}$ multimode optical fiber	Not supported	Supported	Supported
125/10 $\mu\text{m}$ single mode optical fiber	Not supported	Not supported	Supported
Allowed connectors	IEC style 1 or Fibre Channel style 2	SFF MT-RJ or Duplex SC	SFF MT-RJ or Duplex SC

The 125/62.5  $\mu\text{m}$  specification refers to the cladding and core diameters of the optical fiber.

### 3.1.6. Cableado de red.

Para la compatibilidad del enlace se requiere que los transmisores en cada extremo del enlace, se conecten a los receptores en el otro extremo del enlace. Sin embargo, ya que los conectores de cable en ambos extremos del enlace se conectan el mismo, los conductores deben cruzar en algún momento para asegurar que las salidas del transmisor están siempre conectados a las entradas del receptor.

IEEE 802.3 ha decidido que una regla fija en cuanto a si el cruce debe ser implementado en el cable como se muestra en la Figura N° 20(a) o si debe ser implementado internamente como se muestra en la Figura N° 20(b).



**Figura N° 20.** Formas alternativas para cumplir el requisito de cruce Enlace

Adicional a esta regla, la IEEE 802.3 define las siguientes reglas y recomendaciones:

- Debe haber un número impar de cruces en todos los eslabones multiconductores.
- Si un PMD está equipado con un filtro interno, el MDI debe estar claramente etiquetado con el símbolo gráfico X.
- Cuando un DTE está conectado a un repetidor o conmutador (DCE) puerto, se recomienda que el cruce se ejecutará en el puerto DCE.
- El resultado final fue que los puertos en la mayoría de DCE fueron equipados con PMD que contenían circuito de crossover interno y que tenía DTE PMD sin cruces internos. Esto llevó a la siguiente recomendación: Utilice un cable de conexión directa para conectar DTE a DCE. Utilice un cable cruzado para conectar DTE a DTE o DCE a DCE.

Todos los sistemas 100 Base utilizando enlaces de par trenzado usar las mismas reglas y recomendaciones como 10Base-T.

1000 Base T NIC puede implementar una opción seleccionable por el filtro interno que puede ser negociado y habilitado durante la negociación automática.

**3.1.6.1. Consideraciones sobre el sistema.** Teniendo en cuenta todas las opciones discutidas con anterioridad, podría parecer que no sería un problema para actualizar una red existente o para planificar una nueva red. El problema es doble. No todas las opciones son razonables para todas las redes, y no todas las versiones de Ethernet y opciones disponibles en el mercado, a pesar de que se haya especificado en la norma.

La UTP a base de tarjetas de red están disponibles para 10 Mbps, 100 Mbps, y las implementaciones de 1000 Mbps. La elección es relativamente simple, tanto para 10 Mbps y operación de 1000 Mbps: 10 Base T y 1000 Base T, sin embargo, no parece ser tan sencillo para las implementaciones de 100 Mbps.

A pesar de tres tarjetas de red basadas en UTP se definen para 100 Mbps, el mercado se ha reducido efectivamente la opción de simplemente 100 Base TX, la cual llegó a ser ampliamente disponible.

En el momento en que la conexión y los productos 100 Base T4 aparecieron por primera vez en el mercado, 100 Base TX fue bien afianzada, y el desarrollo de la opción de full - dúplex, que 100 Base T4 no podía apoyar, ya estaba en marcha.

La norma 100 Base T2 no fue aprobado hasta 1997, demasiado tarde para el interés del mercado. Como resultado, los productos basados en 100 Base T2 no fueron fabricados.

Varias opciones también se han especificado para los medios de comunicación UTP: Categoría 3, 4, 5 o 5E. Las diferencias son costo del cable y la capacidad de velocidad de transmisión, lo que aumenta con los números de categoría. Sin embargo, los actuales requerimientos de velocidad de transmisión y el costo del cable no deben ser los factores decisivos en la elección de la categoría del cable a instalar. Para tener en cuenta las necesidades futuras de tasa de transmisión, los cables por debajo de Categoría 5 no debería ser considerado, y si las tasas de Gigabits son una necesidad futura posible, categoría 5E se debe considerar en serio.

La auto - negociación son un método opcional para configurar automáticamente los modos de relación operativa. El objetivo de la negociación automática es encontrar un camino para dos tarjetas de red que comparten un enlace UTP a comunicarse entre sí, independientemente de que tanto implementado la misma versión de Ethernet o conjunto de opciones. La negociación automática se realiza totalmente dentro de las capas físicas durante el inicio del enlace, sin ningún tipo de sobrecarga adicional ya sea para el MAC o capas de niveles superiores. La

negociación automática permite UTP basados en tarjetas de red para hacer lo siguiente:

- Publicite su versión Ethernet y ninguna capacidad opcionales para el NIC en el otro extremo del enlace.
- Acusar recibo y la comprensión de los modos de funcionamiento que comparten ambas tarjetas de red.
- Rechazar cualquier modo de funcionamiento que no se comparten.
- Configurar cada tarjeta de red de alto nivel de modo de operación que ambas tarjetas de red puede soportar.

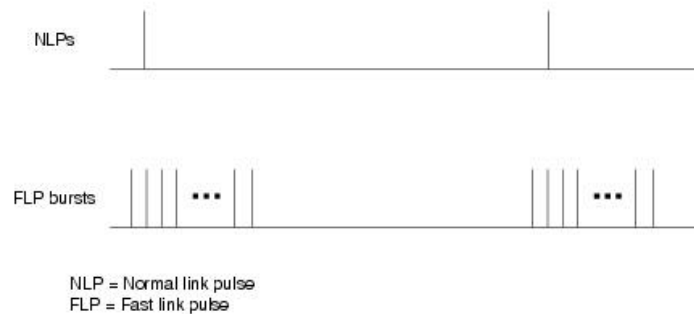
La negociación automática se especifica como una opción para 10 Base T, 100 Base TX y 100 Base T4, sino que se requiere para 100 Base T2 y las implementaciones de 1000 Base T. Ver tabla N° 7.

**Tabla N° 7.** Niveles de auto negociación definidos para la selección de tarjetas de red UTP

Selection Level	Operational Mode	Maximum Total Data Transfer Rate (Mbps)
9	1000Base-T full-duplex	2000
8	1000Base-T half-duplex	1000
7	100Base-T2 full-duplex	200
6	100Base-TX full-duplex	200
5	100Base-T2 half-duplex	100
4	100Base-T4 half-duplex	100
3	100Base-TX half-duplex	100
2	10Base-T full-duplex	20
1	10Base-T half-duplex	10

La función de negociación automática en la UTP a base de tarjetas de red utiliza una versión modificada de 10 Base T de integridad del enlace secuencia de pulsos en los que los NLP se sustituyen por las ráfagas de pulsos de enlace rápido (FLP), como se muestra en la figura N° 21. Cada ráfaga de FLP es una alternancia de reloj / datos de secuencia en la que los bits de datos en la explosión de identificar los modos de operación soportados por la tarjeta de red de transmisión y también proporcionan la información utilizada por el mecanismo de negociación automática apretón de manos. Si la tarjeta de red en el otro extremo del enlace es de una tarjeta de red compatible, pero no tiene la capacidad de negociación automática, una función de detección en paralelo todavía le permite ser reconocido. Una tarjeta de red que no responde a FLP ráfagas y devuelve sólo NLP es tratado como un 10 Base T half – dúplex de la NIC.



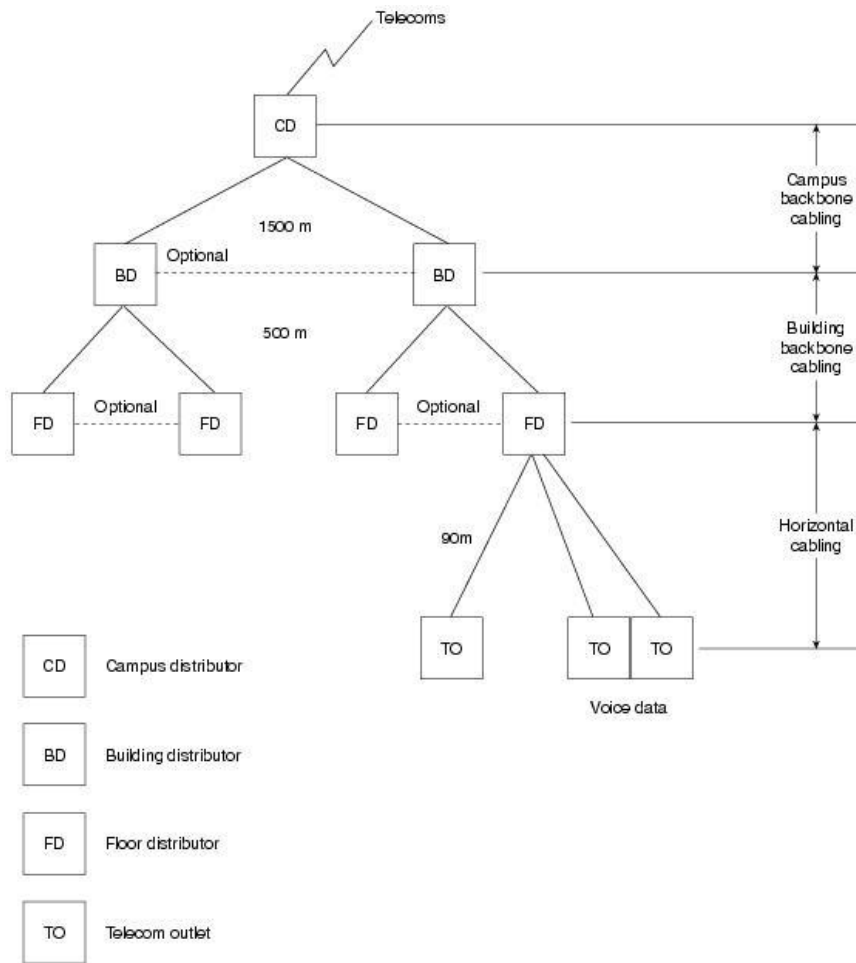


**Figura N° 21.** Auto negociación de enlace

A primera vista, puede parecer que el proceso de negociación automática siempre selecciona el modo con el apoyo de la tarjeta de red con la capacidad del arrendador, lo que sería el caso si ambas tarjetas de red utilizan los mismos procedimientos de codificación y configuración de enlace. Por ejemplo, si ambas tarjetas de red son 100 Base TX, pero sólo uno soporta full - dúplex, el modo de operación será negociada half - dúplex 100 Base TX. Por desgracia, las versiones 100 Base diferentes no son compatibles entre sí a 100 Mbps, y una 100 Base TX full - dúplex se negocia automáticamente con una tarjeta de red 100 Base T4 para operar en 10 Base T modo half - dúplex.

La Auto negociación en 1000 Base X tarjetas es similar a la negociación automática en los sistemas basados en UTP, salvo que en la actualidad sólo se aplica a 1000 Base X compatibles con los dispositivos y actualmente está obligado a negociar sólo la operación half - dúplex o full - dúplex y la dirección de control de flujo.

**3.1.6.2. Redes Ethernet con múltiples tasas.** Las redes Ethernet más grandes se han aplicado ya con una mezcla de las tasas de transmisión y medios de comunicación de enlace, como se muestra en el modelo de cable en la figura N° 22.



**Figura N° 22.** Redes Ethernet con múltiples tasas de transmisión.

La norma ISO / IEC 11801 modelo de cable es el modelo de red en la que los estándares IEEE 802.3 se basa, y tiene la siguiente característica:

- **Distribuidor de Campus.** El término campus se refiere a una instalación con dos o más edificios en un área relativamente pequeña. Este es el punto central de la espina dorsal del campus y el punto de conexión de telecomunicaciones con el mundo exterior. En redes LAN Ethernet, el distribuidor del campus, se tratará de un Switch Gigabit con capacidad de interfaz de telecomunicaciones.
- **La construcción del distribuidor.** Este es el punto del edificio, la conexión al backbone de campus. Un edificio distribuidor Ethernet sería típicamente un 1000/100 o interruptor 1000/100/10 Mbps.
- **Distribuidor de planta.** Este es el punto de la planta de la conexión con el distribuidor del edificio. ISO / IEC 11801 recomienda por lo menos un distribuidor de planta por cada 1000 m<sup>2</sup> de superficie en entornos de oficina, y, si es posible, un distribuidor independiente para cada piso del edificio. Un

distribuidor piso Ethernet sería típicamente un 1000/100/10 o interruptor 100/10 Mbps.

- **Telecom de salida.** Este es el punto de conexión de red para ordenadores, estaciones de trabajo y servidores de impresión. Los servidores de archivos suelen colocarse con y directamente conectado con los distribuidores del campus, edificio, o en el suelo, según sea apropiado para el uso previsto.
- **Campus cableado troncal.** Este es típicamente cable de un solo o multimodo que interconecta el distribuidor central del campus con cada uno de los distribuidores de construcción.
- **Construcción de cableado troncal.** Este es típicamente de categoría 5 o mejor cable de fibra multimodo o UTP que interconecta el distribuidor edificio con cada uno de los distribuidores de piso del edificio.
- **El cableado horizontal.** Esto se produce principalmente de categoría 5 o mejor cable UTP, aunque unas pocas instalaciones están usando fibra multimodo.

Al igual que con la selección de cable UTP, la elección de los medios de comunicación de enlace y nodos intermedios de la red debe hacerse siempre con un ojo a las futuras necesidades de transmisión de tipo de cambio y la esperanza de vida de los elementos de la red, impredecible a pesar de que puede ser. En la década de 1990, las tasas de transmisión inalámbrica a internet aumentaron 100 veces y, en la actualidad sigue aumentando con las redes de nueva generación.

Esto no quiere decir que todas las estaciones y sus enlaces de interconexión se requieren capacidad de Gigabit. Lo que sí significa, sin embargo, que los nodos de la red más centrales (como la mayoría de los distribuidores del campus y muchos distribuidores de construcción) deben estar equipados con capacidad de Gigabit, y que todos los distribuidores de piso deben tener al menos 100 Mbps de capacidad. También significa que todos los conmutadores de red debe ser de no bloqueo, y que todos los puertos deben tener capacidad full - dúplex, y que todos los enlaces troncales de campus nuevos deben ser instalados con fibra monomodo.

### 3.2. RED ETHERNET IUE

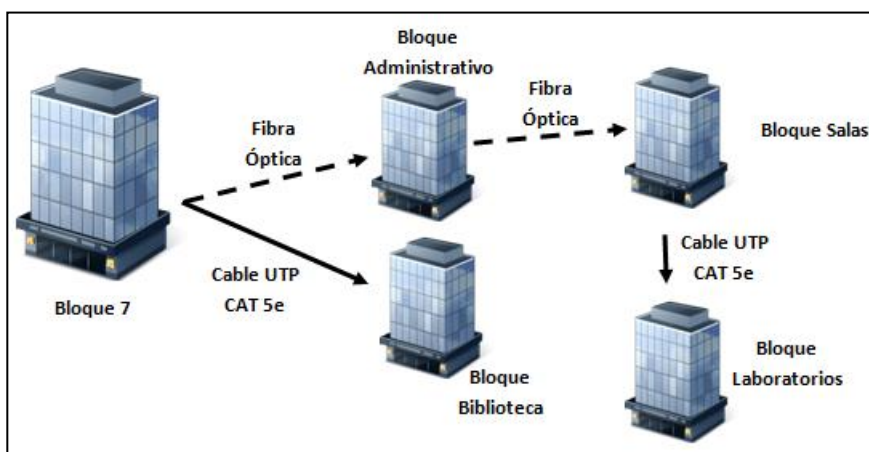
Luego de establecer las características, las diferencias y las potencialidades de las redes Ethernet y su configuración, la red Ethernet de la Institución Universitaria de Envigado o está desligada con la norma IEEE 802,3.

Actualmente la Institución Universitaria de Envigado cuenta con tres redes VLAN distribuidas por todo el Campus, una de Administración, otra Académica y otra Inalámbrica.

Cuenta con un Distribuidor de Campus, que se localiza en el Bloque 7, donde está la planta principal de conexión de toda la red Ethernet de la Institución, en ella se

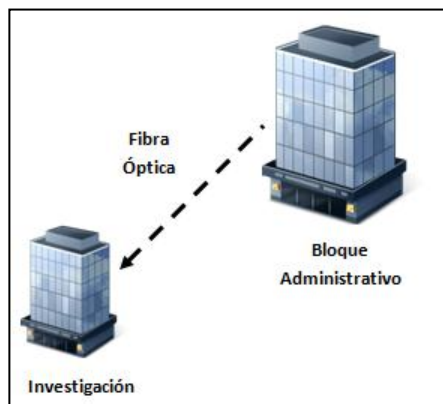
cuenta con 4 Switches principales que distribuyen todo el servicio a las diferentes locaciones de la Institución.

Una primera distribución es al bloque Administrativo, que por medio de un enlace de fibra óptica llega a él, en este bloque está la planta telefónica y conecta por medio de 5 Switches a los bloques de Derecho, Biblioteca y Salas de Sistemas y de este existe un enlace por cable UTP categoría 5E hacia los Laboratorios de Ingeniería. En el bloque de Derecho se cuenta con 2 Switches, 1 Switch en la Biblioteca, 7 en las Salas de sistemas y uno en los Laboratorios. El enlace entre el bloque Administrativo y el de Derecho es realizado por medio de Fibra óptica y en cable UTP 5E a la Biblioteca. Ver Figura N° 23.



**Figura N° 23.** Distribución Red Administrativa IUE

Una segunda distribución es la que se ofrece desde el bloque 7 hacia el bloque de Investigación, enlace realizado por medio de fibra óptica y en el cuál se cuenta un Switch. Ver Figura N° 24.



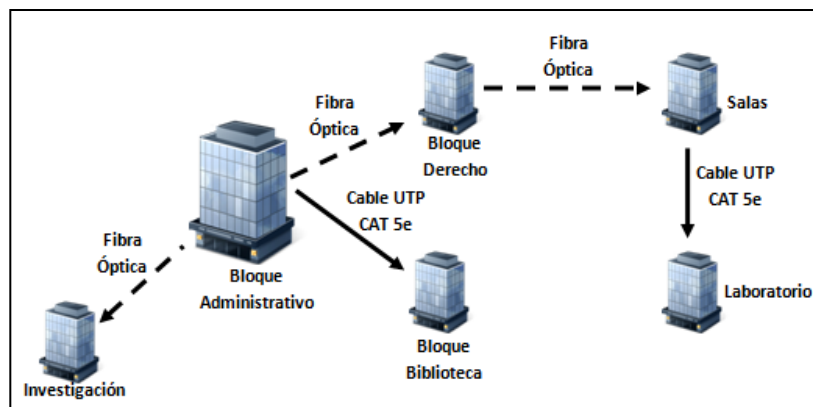
**Figura N° 24.** Conexión bloque Investigación

Una tercera distribución es la que se ofrece dentro del mismo bloque 7, donde existe una sala de sistemas, este enlace se realiza por medio de cable UTP y está sala cuenta con un Switch.

A futuro está planeada la distribución por medio de fibra óptica al bloque 10, fuera de la Institución.

Toda la institución cuenta con Switches Gigabit, pero todo el tendido actual de la red es Ethernet 10/100, utilizando la interconexión 10 Base T4, con una tasa de transmisión de 100Mbps. A futuro queda con la posibilidad de utilizar terminales y tarjetas de red 1000 Base T.

La distribución completa de la Institución en su red Ethernet es la que se ve en la figura N° 25.



**Figura N° 25.** Distribución Red Ethernet IUE

### 3.3. ENERGÍA SOBRE ETHERNET POE

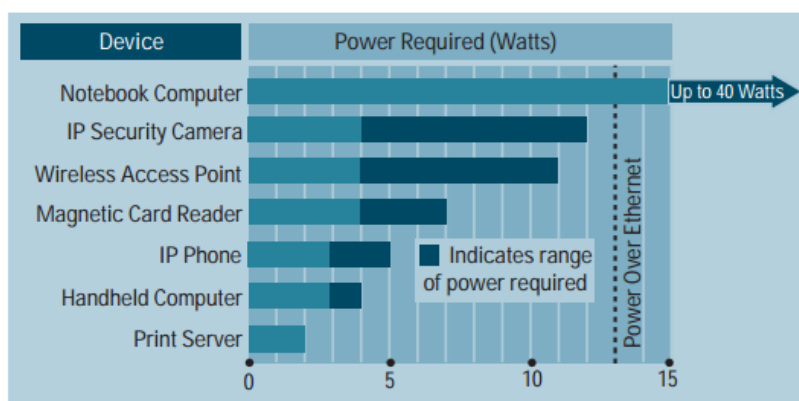
Con la llegada de tecnologías y fabricantes como Cisco, innovado mecanismos multiservicio, encontró la forma de tener interruptores que podría entregar energía sobre la red Ethernet (POE), utilizando el cableado de cobre existente en los teléfonos IP. La necesidad de entregar 48 voltios (V) de poder de los teléfonos IP sobre Ethernet 10/100BASE-T fue impulsado por la necesidad de apoyar a las características básicas de los teléfonos tradicionales. Para lograr esto uno de los requisitos fundamentales era la eliminación de los cables de alimentación locales conectados a la telefonía IP.

Debido a la rápida aceptación de soluciones de telefonía IP, el estándar IEEE 802.3af Power Over Ethernet (POE), de los cuales Cisco es una contribuyente, lideró los esfuerzos para normalizar Power over Ethernet. El estándar IEEE 802.3af -2003 Carrier Acceso Múltiple con Detección de Colisiones (CSMA / CD)

fue el resultado y se convirtió en un método de acceso y la Especificación de la capa física, en donde se encuentra la siguiente enmienda: “Terminal de datos Equipo (DTE) de energía a través de los medios de comunicación estándar de interfaz dependiente que fue aprobado 12 de junio 2003 define cómo el poder puede ser entregado a 10BASE-T, 100BASE-T o 1000Base-T los dispositivos conectados”.

Con el anuncio de la norma IEEE 802.3af-2003 compatible con 10/100 / 1000BASE-T, los Switches Cisco multiservicio ofrecen una potencia basada en estándares a través de Ethernet que es compatible con la base instalada de energía Cisco norma previa en conmutadores Ethernet. Este anuncio subraya el compromiso de Cisco Systems para ofrecer soluciones basadas en estándares y la protección de la inversión a empresas que hayan implementado de alimentación Cisco en soluciones de Ethernet.

A pesar de que Power over Ethernet fue pensada originalmente para apoyar la energía a los teléfonos IP de Cisco, el desarrollo de otra potencia a través de dispositivos Ethernet con capacidad ha llevado a la expansión y el valor de esta tecnología, incluida la energía se extiende a través de Ethernet a los puntos de acceso Cisco 802.11wireless. Estos desarrollos han requerido que una mayor entrega de potencia considerarse como Power over Ethernet se extiende para soportar las aplicaciones más complejas. Ver Figura N° 26.



**Figura N° 26.** Requisitos de potencia para alimentación a través de dispositivos de Ethernet

Muchos de los vendedores se han apresurado a reconocer las aplicaciones a las que Power over Ethernet se puede aplicar. Aunque originalmente se desarrolló para suministrar energía a los teléfonos IP, Power over Ethernet también está viendo relevancia en otras aplicaciones como la vídeo cámara de vigilancia,

señalización digital, los lectores electrónicos de placas e incluso guitarras eléctricas<sup>11</sup>.

A modo de ejemplo, lectores de tarjetas magnéticas y cerraduras magnéticas de la puerta puede ser alimentada mediante Power over Ethernet que permiten al personal realizar un seguimiento de la seguridad o la seguridad, mediante la vinculación de la vigilancia IP con la última ubicación conocida de un usuario.

El estándar IEEE 802.3af compatible con la entrega de Power over Ethernet de hasta 15,4 W por puerto que puede ser utilizado para suministrar energía a una variedad de dispositivos. El estándar IEEE 802.3af define también el concepto de clases de potencia incluyendo una clase reservada que puede ser extendida para soportar la entrega de potencia mayor a la PD en el futuro.

El apoyo de 10/100/1000 Power over Ethernet a través de Cisco y soporte para 10/100 en todos los productos de conmutación de Cisco es muy importante ya que las empresas buscan nuevas aplicaciones para maximizar la eficiencia operativa.

La compatibilidad con IEEE 802.3af a través de interfaces 10/100/1000BASE-T permite a las empresas la flexibilidad necesaria para desplegar una infraestructura a prueba del futuro que está listo para las PC de próxima generación que pueden aprovechar las ventajas de Ethernet de 1 Gbps, lo que aumenta la eficiencia de las aplicaciones existentes, así de proporcionar una plataforma para la explotación de aplicaciones de próxima generación habilita mediante Power over Ethernet. Además, la combinación de Power over Ethernet con conexiones Gigabit Ethernet en el escritorio de garantizar la protección de la inversión en sistemas de redes destinadas a amortizar y se mantienen activos durante un máximo de siete años.

### **3.3.1. IEEE 802.3af Power over Ethernet**

El estándar IEEE 802.3af-2003 Power over Ethernet estándar define la terminología para describir a un puerto que actúa como una fuente de energía (PSE) a un dispositivo alimentado (PD), la define como un dispositivo alimentado se detecta y se define también dos (2) métodos de entrega Power over Ethernet en el dispositivo descubierto potencia. IEEE 802.3af de alimentación pueden ser entregados con una capacidad Power over Ethernet puerto Ethernet, lo que se conoce como un PSE de punto final o por un PSE de alcance medio que pueden ser utilizados para entregar el Power over Ethernet en el caso de una ya existente sin motor por Ethernet switch Ethernet se utiliza.

El estándar IEEE 802.3af establece que el poder puede ser entregado por un PSE de punto final, ya sea utilizando los cables de datos de activos de un puerto

---

<sup>11</sup>Gibson Magic <http://www.eetimes.com/sys/news/OEG20030124S0035>.

Ethernet o los cables de repuesto, a un dispositivo alimentado. Un punto final del PSE, como un interruptor de alimentación a través de Ethernet capaz de Ethernet, puede llevar a cabo cualquiera de los esquemas. Si un PSE la mitad del tramo se utiliza, entonces el PSE la mitad del tramo sólo puede implementar la entrega de potencia sobre los pares de repuesto del cableado de cobre y no pueden ser utilizados para entregar alimentación a través de Ethernet sobre conexiones 1000BASE-T. Cabe señalar que incluso si un dispositivo es compatible con ambos métodos de proporcionar alimentación, sólo un mecanismo puede ser utilizado para suministrar energía a un dispositivo accionado.

El estándar IEEE 802.3af establece que el poder puede ser entregado por un PSE de punto final, ya sea utilizando los cables de datos de activos de un puerto Ethernet o los cables de repuesto, a un dispositivo alimentado. Un punto final del PSE, como un interruptor de alimentación a través de Ethernet capaz de Ethernet, puede llevar a cabo cualquiera de los esquemas. Si un PSE la mitad del tramo se utiliza, entonces el PSE la mitad del tramo sólo puede implementar la entrega de potencia sobre los pares de repuesto del cableado de cobre y no pueden ser utilizados para entregar alimentación a través de Ethernet sobre conexiones 1000BASE-T. Cabe señalar que incluso si un dispositivo es compatible con ambos métodos de proporcionar alimentación, sólo un mecanismo puede ser utilizado para suministrar energía a un dispositivo accionado. Ver figura N° 27.



**Figura N° 27.** Punto final del PSE alimentación a través de la entrega de Ethernet

El primer mecanismo, que se apoya es el uso de los pares de datos (pines 1,2 y 3,6) para transmitir energía, lo que se refiere a veces como "fantasma" de energía. El mecanismo de entrega de potencia segunda es utilizar la parte no utilizada, desde una perspectiva 10/100BASE-T, los pares (pines 4,5 y 7,8) para entregar el poder que se apoya en la entrega de potencia de alcance medio.



### 3.3.2. Cisco Inline Power y IEEE 802.3af

Cisco lanzó Cisco In line Power en Marzo de 2000 ha vendido más de 16 millones de puertos de alimentación capaces línea en el Catalyst 3500, 4500 y 6500 las familias de Switches Ethernet. Esta innovación fue rápidamente reconocido dentro de la industria y el IEEE comenzó a trabajar para estandarizar las implementaciones de alimentación a través de Ethernet que interoperabilidad de múltiples proveedores se ha habilitado. Varios dispositivos de potencia han sido desarrollados, incluyendo los teléfonos IP de color, etc. de la cámara de vídeo que utilizan Power over Ethernet. Con la ratificación de IEEE 802.3af, como ocurre con otras innovaciones de Cisco, Cisco apoyará tanto el estándar IEEE 802.3af.

### 3.3.3. Clasificación de energía

IEEE 802.3af-2003 describe cinco (5) clases de energía a la cual un dispositivo puede pertenecer. Cabe señalar que no es obligatorio que un proveedor PSE implemente la clasificación de potencia, ya que estas clasificaciones son opcionales. Una consideración importante al implementar una solución de alimentación a través de Ethernet es cómo se maneja la energía por la red y los recursos, refrigeración, etc., que la solución requiere para operar.

La clasificación de energía predeterminado en el estándar IEEE 802.3af proporciona 15,4 W por dispositivo de poder que pueden requerir de una red o gerente de las instalaciones para invertir en más potencia y recursos de enfriamiento de un Poder Cisco sobre solución de Ethernet inteligente que implementa administración de energía. También hay que recordar que a pesar de que un dispositivo alimentado puede soportar el estándar IEEE 802.3af-2003 clasificación de energía, el PSE no puede, y la entrega 15.4Watt es el mínimo común denominador. Además, incluso si el dispositivo de clasificación de PSE y alimentación de energía de apoyo, los rangos de clasificación son bastante amplio que puede conducir a la asignación de presupuesto de energía desperdiciada. Ver Tabla N° 8.

**Tabla N° 8.** Clasificación de niveles de energía

Class	Usage	Minimum Power Levels Output at the PSE	Maximum Power Levels at the Powered Device
0	Default	15.4W	0.44 to 12.95W
1	Optional	4.0W	0.44 to 3.84W
2	Optional	7.0W	3.84 to 6.49W
3	Optional	15.4W	6.49 to 12.95W
4	Reserved for Future Use	Treat as Class 0	Reserved for Future Use: A class 4 signature cannot be provided by a compliant powered device

Si un dispositivo alimentado es clasificado como un dispositivo de Clase 3, el PSE va a destinar 15,4 W en el dispositivo. Sin embargo, si un punto de acceso Cisco Aironet 1200 se enciende, el dispositivo consumirá sólo 8W, por lo que se gasta 7,4 W de potencia dentro del presupuesto del PSE como la energía no utilizada no puede ser devuelto a la piscina asignación de potencia.

Aunque la clasificación IEEE 802.3af parece tener clases redundantes, especialmente de clase 0 y 3, esta fue una decisión intencional a cabo en el IEEE para permitir que los circuitos de bajo costo con motor de detección de dispositivos, es decir, una implementación simple resistencia 25Kohm, así como la clasificación de los circuitos de potencia más sofisticado para ser incorporadas en el diseño del dispositivo alimentado.

#### **3.3.4. Desconexión de la alimentación**

Para evitar que los usuarios intercambiar las conexiones entre los dispositivos de conexión de plomo con motor y sin motor, se necesita un mecanismo para detectar que un dispositivo de alimentación ha sido desconectada y la entrega de potencia retirado del puerto antes de un dispositivo sin alimentación se puede conectar. El estándar IEEE 802.3af-2003 norma define dos mecanismos para desconectar la alimentación una vez que un dispositivo ha fallado. Ambos mecanismos ofrecen una solución para proteger contra un usuario de desconectar un dispositivo de alimentación y conectar un dispositivo sin alimentación que potencialmente podría dañar el dispositivo no-poder. Hay que recordar que a pesar de dos mecanismos se describen, que proporcionan la misma funcionalidad que si bien en una forma ligeramente diferente. Poder Cisco norma previa a través de puertos Ethernet tiene un poder mecanismo de desconexión que se corte la energía del puerto si el estado de la conexión Ethernet es hacia abajo.

#### **3.3.5. El dilema de la energía**

El uso de Power over Ethernet en el armario de cableado crea un dilema para los administradores de red y las instalaciones, ya que cada dispositivo alimentado dibuja una cierta cantidad de energía del interruptor. Esto requiere que el conmutador de tener en cuenta no sólo la potencia requerida para operar el interruptor, sino también la potencia necesaria para accionar los dispositivos impulsados. Esto puede tener ramificaciones significativas con respecto al suministro de potencia necesaria para accionar todos los dispositivos de potencia, cómo el poder se entrega en el interruptor, cómo maneja el interruptor de distribución de potencia y, finalmente, para los requerimientos de potencia de entrega de la sala de cableado. Ver Figura 28.



**Figura Nº 28.** Componentes del Consumo de Energía

En un escenario de armario de cableado, donde, por ejemplo, 240 dispositivos alimentados puede exigir que se apoya, utilizando el estándar IEEE 802.3af-2003 por defecto poder de la clase, cada dispositivo alimentado requeriría 15,4 por asignar si el dispositivo alimentado en realidad requiere que la cantidad de poder o no. Esto equivale a 3696W de potencia para dispositivos alimentados solamente. Como interruptores modulares más generalmente requieren algo del orden de 1000 a 2000 W, el presupuesto de energía total, tanto para el interruptor y dispositivos impulsados es 5000 a 6000 W. Esto a su vez presenta otro problema para el gestor de las instalaciones, como la infraestructura de alimentación debe ser capaz de soportar los requerimientos de energía para Power over Ethernet. Por lo general, un armario de cableado EE.UU. tendrá un suministro 110V/15Amp que puede soportar hasta 1650W. Aunque los cambios se pueden hacer para aumentar la potencia de CA para el armario de cableado mediante la instalación de fusibles de mayor, el cableado de alimentación puede necesitar ser actualizado con un mayor cableado de alimentación de calibre (8 o 10 AWG). Sin embargo, 110 sólo puede soportar un máximo de 30Amps y como 3300Amps es insuficiente para cumplir con los requisitos para la entrega de la potencia necesaria para el armario de cableado, una fuente de 220V 20A es necesaria para que se dote a cada armario de cableado.

Otras consideraciones que deben tenerse en cuenta son la cantidad de refrigeración que se requiere ahora en el armario de cableado, y si los suministros de energía ininterrumpible (UPS) se requiere para asegurar un funcionamiento alimentado dispositivo debe un corte de energía afecta a un armario de cableado. Estos factores tienen implicaciones importantes en los costos si los dispositivos de potencia que requieren la entrega de potencia total de 15,4 W deben ser apoyadas.

El conmutador Cisco Catalyst ofrece soporte para una amplia variedad de suministros de CA y CC para soportar las cargas de potencia requeridos. Las fuentes de alimentación de corriente continua pueden ser alimentadas por una batería central o las estanterías de alimentación externas. Esto permite al usuario aplicar un sistema de entrega de potencia que es equivalente a la usada en centrales telefónicas públicas, como el funcionamiento de la batería central, con

copia de seguridad del generador diesel, que ofrece las mismas características de alta disponibilidad de energía visto en las centrales telefónicas públicas.

**3.3.5.1. Cisco Intelligent Power Management.** La entrega de Power over Ethernet utilizando la clasificación de la norma IEEE 802.3af por defecto puede aumentar significativamente los requerimientos de energía, tanto en el interruptor del PSE y de la infraestructura eléctrica. Para proporcionar Power over Ethernet de una manera rentable y eficiente, los switches Cisco Catalyst apoyo a la gestión inteligente de la energía, además de IEEE 802.3af de clasificación. Esto permite a un dispositivo accionado y el PSE negocian sus respectivas capacidades de gestión de forma explícita la cantidad de energía se requiere para alimentar el dispositivo y también cómo el cambio del PSE capaces gestiona la asignación de poder de los distintos dispositivos de potencia. Estas capacidades de manejo integrado permite un administrador de red y las instalaciones para la gestión eficaz y económica los recursos de poder dentro de un armario de cableado y los interruptores del PSE capaces de cumplir con los objetivos de la red.

### **3.3.6. La cantidad de energía necesaria.**

Una IP de Cisco 7960G Teléfono requiere 7W cuando el teléfono está sonando a todo volumen máximo y requiere de 5W o descolgado. Se trata de una reducción significativa de la potencia máxima permitida para 15,4 W en el estándar IEEE 802.3af-2003. Se puede observar que PSE requisitos de potencia se puede reducir significativamente por el presupuesto para la alimentación del dispositivo requiere realmente, en lugar de simplemente asignar la potencia máxima desafiado dentro IEEE 802.3af.

Si una potencia de Cisco sobre la instalación de Ethernet se considera, se puede suponer que el 20 por ciento de los teléfonos estará en uso activo y 10% activamente sonando en un solo punto, y los requisitos de energía se puede calcular como:

$$240 * 0.8 * 5.0W = 960 W$$

$$240 * 0,2 * 7,0 W = 168W$$

$$\text{Total} = 1128W$$

Se puede observar que la cantidad media de potencia necesaria para entregar alimentación a través de Ethernet es generalmente menor que el máximo presupuestado, como un dispositivo alimentado normalmente consumen menos energía cuando está en un estado de reposo. Aunque es factible para controlar la energía mediante este método, en la práctica la gestión de los presupuestos de potencia utilizando promedios puede causar problemas si, por ejemplo, todos los

teléfonos sonaron simultáneamente. Cabe señalar que este evento sería muy poco probable.

Para simplificar las operaciones y lograr una mejor administración de energía, Cisco ha adoptado un enfoque conservador a la asignación del poder por el que el PSE se asignan ya sea el estándar IEEE 802.3af de clase, el valor negociado Cisco Discovery Protocol, o por dispositivo 7W potencia, dependiendo del dispositivo descubierto. Si el valor predeterminado, 7W, por 240 de Cisco 7960G se supone, esto equivale a 1680W. Si los requisitos de potencia para el interruptor se añaden (supervisores, tarjetas de línea, etc.) los requisitos de potencia para la configuración anterior puede incluirse dentro de un vatio 2.500 o 4.000 vatios de suministro.

Sin embargo, a pesar de que es factible proporcionar grandes suministros suficientes para administrar la carga de potencia máxima para todos los dispositivos de potencia, la mayoría PSE Ethernet no son capaces de soportar una carga de potencia del dispositivo totalmente redundante, incluso si los dispositivos impulsados por la clase 2 están conectados. Esto puede ser debido a una variedad de factores tales como el uso existente UPM PSE o armario de cableado disponibilidad de energía, es decir, 110V a 15Amps.

Cisco tiene una larga experiencia en el manejo de Power over Ethernet, que ha llevado al desarrollo de varias estrategias de administración de energía y características que permiten a múltiples dispositivos habilitados para ser conectado a un interruptor a pesar de que la potencia total requerida por los dispositivos de potencia podrá ser superior a la potencia disponible de una sola fuente de alimentación. Para solucionar este problema, Cisco ofrece soporte para la entrega de potencia usando una combinación de dos fuentes de alimentación bajo voltaje en lugar de compartir la carga, que es la operación típica de fuentes de alimentación redundantes. Esto permite una flexibilidad administrador de red si tiene un armario de cableado de alimentación de 110V.

Los switches Cisco Catalyst, por defecto, asignar 7W por puerto que en los entornos de telefonía densas puede ser ineficiente en términos del número de dispositivos de potencia que puede ser alimentado. Para permitir una mayor flexibilidad, el software Cisco IOS permite que este valor sea superado por un administrador de red a un valor nominal de potencia por puerto que es utilizado por el MIP con fines de presupuesto de energía. Al definir un valor de puerto de energía, el IPM se resta el valor configurado al presupuesto de energía, en lugar de la 7W por defecto, el estándar IEEE 802.3af-2003 clase, o Cisco Discovery Protocol negociado valor. Si el poder no se está elaborando, el presupuesto de potencia configurado se devuelve el poder al presupuesto general de PSE. Aunque un dispositivo alimentado aún puede sacar más que el valor configurado, desde una perspectiva de administración de energía de la Con los dispositivos de

potencia y "consumo de energía usado se resta no es el valor de pico. Cabe señalar que, aunque un dispositivo alimentado se asigna un valor de potencia máxima: que es 7W, su consumo real es generalmente mucho menos, y en consecuencia alguna suscripción excesiva puede ser aceptable en ciertos ambientes. Esto requiere, sin embargo que el administrador de red tiene una buena comprensión del uso del teléfono y el volumen de llamadas, pero puede ofrecer soluciones donde se limita la entrega de potencia.

Cisco también ofrece IPM negociación explícita de las capacidades de poder entre un dispositivo de Cisco Powered Network, como un punto de acceso Cisco Aironet 1200, y el conmutador Cisco Catalyst PSE con Cisco Discovery Protocol. Esto proporciona capacidades únicas, ya que permite que el dispositivo alimentado a la energía en modo de baja potencia y luego pasar a alta potencia una vez que el interruptor ha negociado que puede soportar los requerimientos de energía más altos.

Si el puerto del switch no puede soportar la potencia requerida, el dispositivo de alimentación puede funcionar en modo de baja potencia, aunque con un poco de funcionalidad reducida. A modo de ejemplo, un Cisco Aironet 1200 Access Point sólo se encenderá una antena única, si se dispone de 7W. Esto es útil en entornos en los que se despliegan de alimentación Cisco norma previa sobre las tarjetas de línea Ethernet que no puede entregar más de 7 W, pero puede ser necesaria para apoyar a los nuevos dispositivos de alta potencia para un período intermedio.(Ver figura 29)



**Figura N° 29.** Cisco Aironet 1200 Access Point

Cisco también ha ampliado el concepto de administración de energía inteligente para dispositivos IEEE 802.3af para gestionar mejor los recursos de poder en el interruptor. Como ejemplo, un Cisco Aironet 1200 Access Point 8W requiere para el funcionamiento normal, pero está clasificado como un dispositivo de Clase 3 que tiene un máximo de 15,4 W de clase. Para proporcionar la gestión de energía más granular, Cisco apoya el concepto de negociación de poder utilizar Cisco

Discovery Protocol (CDP) entre un PSE Cisco y dispositivos de Cisco potencia tales que la energía no utilizada puede ser devuelta al presupuesto de Cisco PSE MIP. El uso de un Cisco Aironet 1200 Access Point, de forma explícita la negociación que sólo requiere de 8 W en lugar de la Clase 3 el máximo de 15,4 W, 7,4 W se devuelve al presupuesto de energía PSE ofreciendo así mayor granularidad de administración de energía que las clasificaciones de potencia descritas en el estándar IEEE 802.3af 2003.

**Tabla N° 9.** Requisitos de acceso inalámbrico en punto de poder

Cisco Wireless Access Point	Power Required
AP1100	4.9W
APW/ 802.11a	8W
AP1200/802.11b	6W
AP1200/802.11a/b	11W
AP340/350	<5W

Para perfeccionar y proteger el interruptor en el caso de dispositivos de dibujo demasiado poder, cada puerto catalizador puede ser asignado un suministro de potencia máxima. Si un Cisco Discovery Protocol potencia dispositivo capaz está conectado y la potencia solicitada es demasiado grande, el PSE podrá informar al dispositivo de alimentación de los puertos configurados valor de la potencia y el dispositivo de alimentación puede permanecer en modo de bajo consumo. Si un dispositivo IEEE 802.3af alimentación está conectado, el puerto no se encenderá si la clasificación de los dispositivos de alimentación de potencia superior a la máxima potencia (Ver figura 30).



**Figura N° 30.** Sony SNC Z20N cámara de red

Cisco también es compatible con la capacidad de asignar carácter prioritario a un puerto. Por defecto todo el poder de Cisco a través de puertos Ethernet capaces se configuran como "auto", por lo que cuando un puerto se levanta, el IPM ESP comprueba que hay suficiente presupuesto para poder ser aplicado en el puerto. Si un puerto está configurado como un puerto de prioridad, el presupuesto de

energía para el puerto se resta automáticamente al presupuesto de energía IPMs, incluso si el puerto no está activo. Como el poder se asigna previamente, el dispositivo de alimentación conectado a ese puerto se garantiza la entrega de potencia. Esto permite que un administrador de red asignar previamente el poder de prioridad de los dispositivos inalámbricos funcionan como dispositivos alimentados y teléfonos importantes del usuario para asegurar que estos dispositivos alimentados preferentemente se alimenta.

En algunos casos inferiores PSU de energía puede ser utilizada que, al combinarse proporcionan energía suficiente para hacer funcionar todos los dispositivos de potencia asignado dentro del sistema. Al implementar el estado de alimentación de prioridad y la entrega de potencia combinada, el PSE con elegancia puede recuperarse de un fallo de fuente de alimentación. En el caso de un fallo PSU una decisión puede ser tomada para alimentar dispositivos específicos. En el caso de que una de las fuentes de alimentación comparten la carga llegara a fallar, el sistema integral de Intelligent Power Manager pueden analizar de forma inteligente puede quitar el poder a los dispositivos de potencia que no constituyen una prioridad para mantener la integridad es en general el presupuesto de alimentación.

Si es necesario para proporcionar energía a todos los dispositivos de potencia en el caso de que una fuente de alimentación falla, grandes fuentes de alimentación 4000W y 220V suministros de energía tendrá que ser suministrado con un fusible de 20 Amperios. Sin embargo, lo que se ve es que si el poder está inteligentemente administrado, la carga global de los recursos de energía puede ser reducida.

Aunque los requisitos de armario de cableado de energía se han tocado, un aspecto que está directamente relacionada con la redundancia de alimentación es la posibilidad de brindar los servicios de UPS a los armarios de cableado. Esto se puede incurrir en un costo significativo que se puede reducir mediante la administración de Cisco Intelligent Power y mediante la asignación de prioridades a los teléfonos de los usuarios.



## 4. CHIPCON CC1000

El Transceptor RF CC1000 de la marca CHIPCON, es el integrado que se utilizará, básicamente realiza la operación de transmisión y recepción de datos en la frecuencia de RF.

El CC1000 es un chip diseñado para aplicaciones de poca potencia y de pequeño voltaje. Está basado en la tecnología 0,35µm CMOS. Esta especialmente diseñado para sistemas que usan la modulación FSK y para operar en los rangos de frecuencia de ISM (Industrial, Scientific and Medical) y SRD (Short RangeMDevice), 315, 433, 868 y 915 MHz. Pero es fácilmente programable para operar en otras frecuencias, entre 300-1000 MHz. Es un chip que puede ser usado conjuntamente a un microcontrolador y pocos componentes externos pasivos, entre sus características principales destacan un bajo consumo de corriente, una alta sensibilidad, operar con un bajo voltaje que hace posible su utilización con una pila (3 V), su pequeño tamaño, velocidades de transmisión superiores a 78,6 kbps. En la figura 31 se puede ver la distribución de pines del chip CC1000.

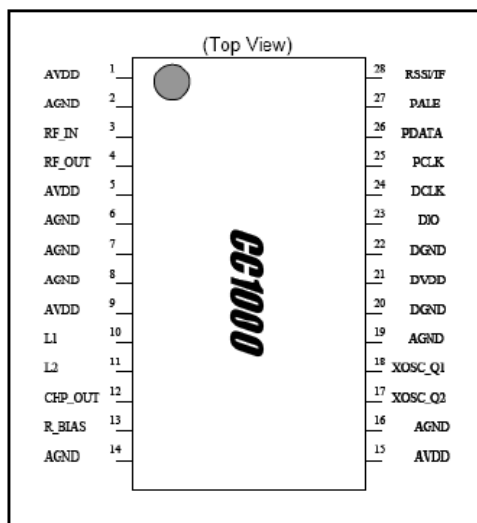
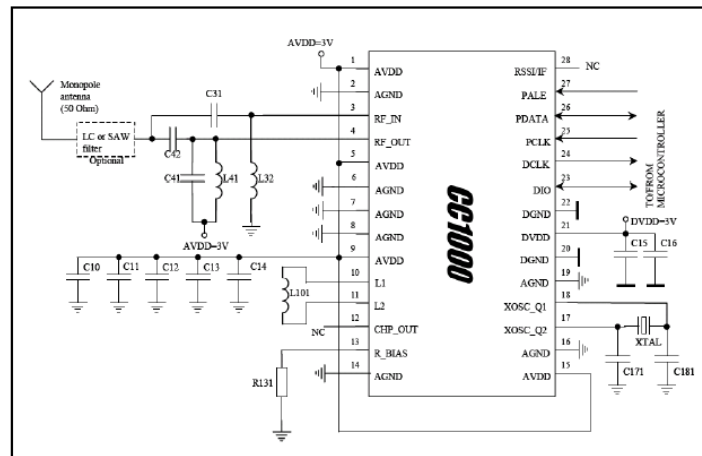


Figura Nº 31. Distribución de pines del chip CC1000.

### 4.1. DESCRIPCIÓN DEL CIRCUITO

Se puede observar en la figura 32 el diagrama de bloques el funcionamiento del CC1000:





**Figura N° 33.** Circuito Básico de Operación del CC1000.

Los componentes C31/L32 actúan en la señal de entrada, C41, L41 y C42 se usan para transmitir a 50 $\Omega$ . Un switch interno T/R hace posible conectar conjuntamente la entrada y la salida del CC1000 a 50  $\Omega$  en ambos modos, de transmisión y recepción.

El VCO está completamente integrado excepto por el inductor L101. Los valores de los componentes externos y del inductor L101 son fácilmente calculados utilizando el software SmartRF® Studio de Chipcon para la programación del CC1000.

Componentes externos adicionales como LC-filter se pueden usar para mejorar el rendimiento en aplicaciones específicas.

De C10 a C16 son capacitores de acoplamiento de voltaje, estos capacitores deben ser ubicados lo más cerca posible a los pines de entrada de voltaje del CC1000.

Mayor información de las características y funcionamiento de este chip se puede encontrar en el anexo 2.

## 4.2. INTERFAZ DE CONFIGURACIÓN SERIE

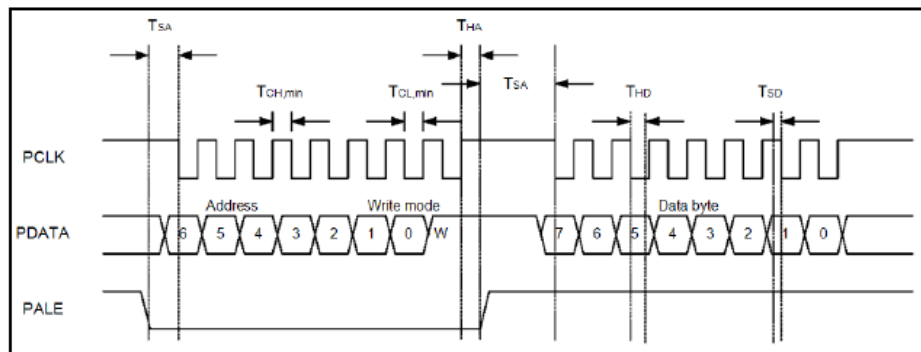
Este chip ofrece la configuración de una interfaz de tres entradas/salidas (PDATA, PCLK y PALE). Hay 28 registros de 8 bits de datos cada uno y con 7 bits de direcciones. Un bit de Read/Write inicia la operación de lectura o de escritura. La configuración total del CC1000 requiere el envío de 22 tramas de 16 bits cada una (7 bits direcciones, un bit de lectura/escritura y 8 bits de datos).

El tiempo necesario para la configuración total depende de la frecuencia de PCLK.

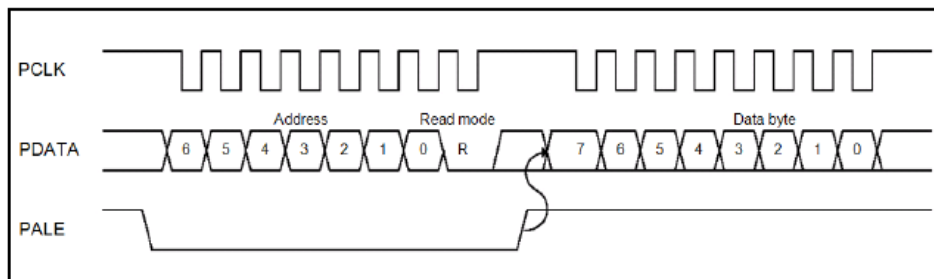
Por ejemplo para una frecuencia de 10 MHz, el tiempo sería menor a 46  $\mu$ s. La configuración del diseño del CC1000 en la operación de lectura (power down mode) requiere el envío de una única trama que se realiza en un tiempo inferior a 2  $\mu$ s para que todos los registros del chip sean leíbles, lo que permite una rápida lectura de datos de etiquetas cercanas.

En cada ciclo de escritura 16 bits son enviados por la entrada PDATA. Los siete bits más significativos (A6:A0) de cada trama son los bits de dirección, el bit A6 es el MSB (Most Significant Bit) es el primer bit enviado. El siguiente bit es el 105 bit de R/W, lectura/escritura, con nivel bajo si es lectura y con nivel alto si es escritura. Durante el envío de los bits de dirección y R/W la entrada PALE (Program Address Latch Enable) debe permanecer en nivel bajo. Se lo puede ver en la Figura 34. Los 8 bits siguientes (D8:D0) son los bits de datos.

El tiempo para la programación se muestra en la Figura 35. Los tiempos para escribir en el chip mediante la entrada PDATA se realizan cuando la señal PCLK está en nivel bajo, en el momento que el último bit de datos D0 está cargado, la palabra de datos se carga en el registro con la dirección especificada. En la operación de lectura se accede a los registros por la misma interfaz, primero se envían los bits de la dirección de memoria y el bit R/W en nivel bajo, entonces se envían los bits de datos del registro con esa dirección de memoria.



**Figura N° 34.** Procedimiento de escritura



**Figura N° 35.** Procedimiento de lectura

### 4.3. INTERFAZ MICROCONTROLADOR

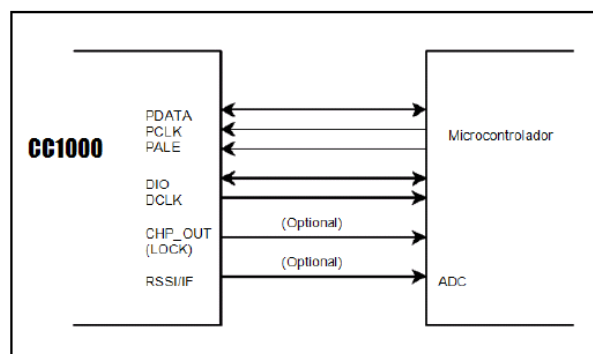
Normalmente el CC1000 es usado con un microcontrolador que realiza las funciones de programar el chip en los diferentes modos mediante los tres pines entrada/salida de la configuración en serie (PDATA, PCLK y PALE). Además realiza funciones de interfaz bidireccional de la sincronización de la señal de datos (DIO y DCLK). Opcionalmente puede realizar la codificación/decodificación de los datos.

Con el software SmartRF® Studio que proporciona Chipcon para la programación del CC1000, el usuario puede configurar los parámetros deseados según su necesidad, y enviarlos al microcontrolador.

El microcontrolador usa 3 pines de salida para configurar el interfaz (PDATA, PCLK y PALE). PDATA es un pin direccional de lectura de datos. Un pin bidireccional es usado para los datos (DIO) que serán transmitidos y recibidos. DCLK produce el tiempo que se conecta a la entrada del microprocesador. Los pines del microcontrolador conectados a PDATA y PCLD pueden ser utilizados con otros propósitos cuando el interfaz de la configuración no se usa (Ver figura 36). En la Tabla 3.4 se muestra los pines en el modo power down.

**Tabla 10.** Pines del CC1000 en el modo de lectura

Pin	Pin state	Note
PDATA	Input	Should be driven high or low
PCLK	Input	Should be driven high or low
PALE	Input with internal pull-up resistor	Should be driven high or high-impedance to minimize power consumption
DIO	Input	Should be driven high or low
DCLK	High-impedance output	



**Figura N° 36.** Interfaz con el microcontrolador

#### 4.4. INTERFAZ DE SEÑAL

El interfaz de señal consiste en DIO y DCLK, y es usado para la transmisión y recepción de los datos. DIO es la línea bidireccional de datos y DCLK produce un reloj sincrónico durante la transmisión y recepción de datos. El CC1000 puede usar las codificaciones NRZ (Non-Return-to-Zero) o Manchester (Ver figuras 37 y 38). También puede sincronizar los datos desde el demodulador y proporcionar el reloj de los datos DCLK. Además se puede configurar de tres formatos de datos distintos, dos sincrónicos los modos NRZ y codificación Manchester y uno asincrónico transparente denominado UART (Ver figura 39):

- Del modo sincrónico NRZ, en transmisión CC1000 produce el reloj de los datos en DCLK y DIO es usado como entrada de datos. Los datos son modulados en RF sin codificación. En el modo de recepción el CC1000 realiza la sincronización y produce el tiempo de reloj de los datos recibidos en DCLK y los datos en DIO.

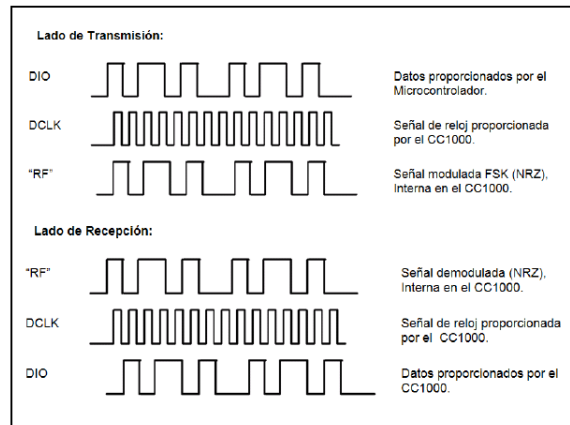


Figura N° 37. Modo sincrónico NRZ.

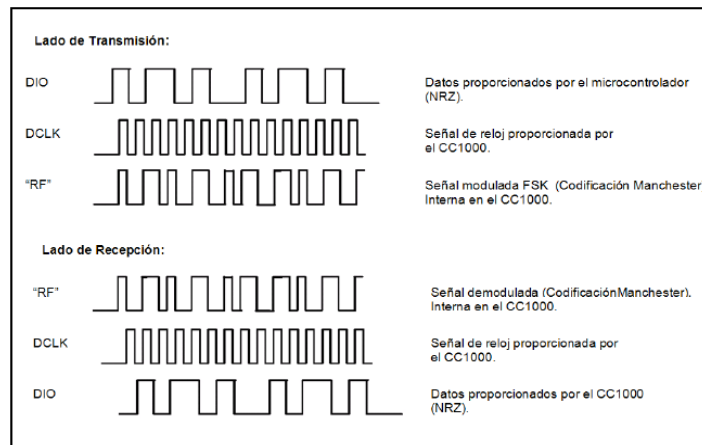
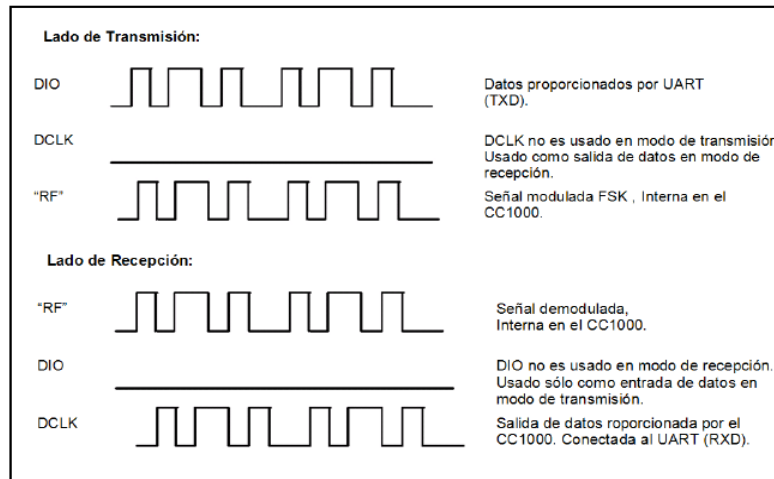


Figura N° 38. Modo sincrónico codificación Manchester



**Figura Nº 39.** Modo asincrónico transparente UART.

#### 4.5. VCO

Para el correcto funcionamiento del VCO sólo requiere una bobina externa. El inductor determina el rango de frecuencia de operación del circuito. Es importante ubicar el inductor tan cerca de los pines como sea posible con el fin de reducir desviaciones en el valor de la inductancia. Es recomendable usar un alto valor de Q, y un inductor con baja tolerancia para un diseño óptimo.

#### 4.6. OSCILADOR DE CRISTAL

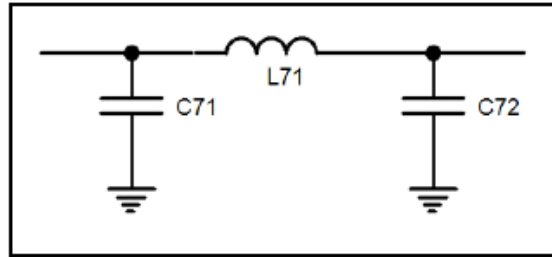
El chip CC1000 tiene un avanzado oscilador de cristal regulador de amplitud. Una elevada corriente se usa para comenzar las oscilaciones. Cuando la amplitud aumenta, la corriente se reduce lo que sea necesario hasta mantener los 600mVpp de amplitud. Esto asegura una rápida puesta en marcha y un mantenimiento del consumo de corriente en el mínimo posible. Ver anexo 2.

Una señal externa de reloj o interna del oscilador de cristal puede ser usada como frecuencia de referencia. La frecuencia del cristal deberá estar en el rango de 3-4, 6-8 o 9-16 MHz. Debido a que la frecuencia del cristal es la usada como referencia en la transmisión de datos (además de otros procesos internos).

El cristal requiere de dos condensadores que añadidos al capacitor parásito, forman el capacitor total del cristal. El valor de la capacidad total de carga depende de la capacidad de carga especificado por el cristal. La capacidad parásita está constituida por la capacidad del pin de entrada y por la capacidad provocada por la PCB.

#### 4.7. FILTRO LC

Se tiene la posibilidad opcional de añadir un filtro LC entre la antena y el CC1000 en ciertas aplicaciones, el cual reduce la emisión de armónicos e incrementa la selectividad del receptor, este filtro se encuentra incluido en el kit CC1000PP de Chipcon del que se hablará más adelante. Se puede ver la topología del filtro en 111 la Figura 40 y los valores de los componentes según la frecuencia en la Tabla 11.



**Figura N° 40.** Filtro LC opcional.

**Tabla 11.** Componentes del filtro según la frecuencia de operación

Item	315 MHz	433 MHz	868 MHz	915 MHz
C71	30 pF	20 pF	10 pF	10 pF
C72	30 pF	20 pF	10 pF	10 pF
L71	15 nH	12 nH	5.6 nH	4.7 nH



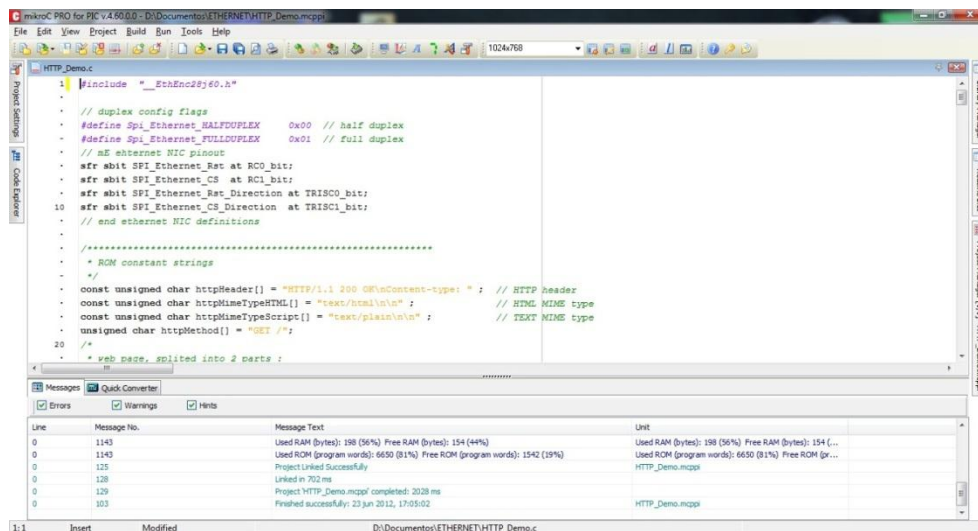
## 5. DISEÑO DE TRANSMISIÓN DESDE UN LECTOR RFID HACIA LA RED ETHERNET.

### 5.1. CONEXIÓN ETHERNET

En esta etapa de desarrollo se empieza la implementación del sistema de transmisión por medio del protocolo Ethernet, para ello se utiliza un circuito formado por el controlador ENC28J60 de la familia Microchip, la cual es una solución para crear una interfaz de red con la que se puede controlar una aplicación de forma remota a través de una red Ethernet, ya sea mediante una página web, a través del envío de correos electrónicos para advertir de incidencias o por medio de una aplicación que acceda a una base de datos.

El ENC28J60 es un controlador independiente de Ethernet con un estándar de comunicación basado en SPI (Serial Peripheral Interface, Interfaz de periférico serial). Está diseñado para servir como interface de red Ethernet para cualquier controlador equipado con SPI.

El diseño del prototipo se desarrolló con el programa MikroC PRO for PIC, (Ver figura 41) el cual incluye una biblioteca que está diseñada para simplificar el manejo del hardware subyacente (ENC28J60). Funciona con cualquier micro controlador (PIC) con SPI integrado y más de 4 Kb de memoria ROM. Se recomienda 38 a 40 MHz de frecuencia en el reloj para obtener 8 a 10 MHz en el Reloj de SPI, de lo contrario el PIC debe ser ajustado a la salida del reloj del ENC28J60 debido a fallos en el hardware de silicio SPI. Si se trabaja con una menor velocidad de reloj en el PIC, podría haber desborde o perder algunas de las solicitudes.



```
1 #include "EtnEnc28j60.h"
2
3 // duplex config flags
4 #define Spi_Ethernet_HALFDOUPLEX 0x00 // half duplex
5 #define Spi_Ethernet_FULLDOUPLEX 0x01 // full duplex
6 // mE ethernet NIC pinout
7 #sfr sbit SPI_Ethernet_Res at RC0_bit;
8 #sfr sbit SPI_Ethernet_CS at RC1_bit;
9 #sfr sbit SPI_Ethernet_Res_Direction at TRIS0C_bit;
10 #sfr sbit SPI_Ethernet_CS_Direction at TRIS0C_bit;
11 // end ethernet NIC definitions
12
13 //*****
14 // * ROM constant strings
15 // *****
16
17 const unsigned char httpHeader[] = "HTTP/1.1 200 OK\r\nContent-type: "; // HTTP header
18 const unsigned char httpMimeTypeHTML[] = "text/html\r\n"; // HTML MIME type
19 const unsigned char httpMimeTypeScript[] = "text/plain\r\n"; // TEXT MIME type
20 unsigned char httpMethod[] = "GET /";
21
22 /*
23 * web page, splitted into 2 parts :
24 */
```

Line	Message No.	Message Text	Unit
0	1143	Used RAM (bytes): 198 (56%) Free RAM (bytes): 154 (44%)	Used RAM (bytes): 198 (56%) Free RAM (bytes): 154 (...)
0	1143	Used ROM (program words): 6650 (81%) Free ROM (program words): 1542 (19%)	Used ROM (program words): 6650 (81%) Free ROM (pr...
0	125	Project Linked Successfully	HTTP_Demo.mcproj
0	128	Linked in 702 ms	
0	129	Project HTTP_Demo.mcproj completed: 2028 ms	
0	103	Finished successfully: 23 Jun 2012, 17:55:02	HTTP_Demo.mcproj

Figura N° 41. Programa Ethernet de MikroC for PIC.

Este circuito integra la electrónica necesaria para ser conectado directamente a un Router/Switch mediante un cable de red. El control se realiza mediante el bus serie SPI.

En el circuito se utiliza un convertidor de voltaje de 5V a 3,3V. El conector Ethernet presenta además dos leds (verde y naranja) para indicar la correcta conexión al router y el estado de la transmisión de datos.

El ENC28J60 es un controlador Ethernet dotado de un puerto SPI, especialmente diseñado para actuar como un puente entre una red Ethernet y un microcontrolador equipado con SPI. El ENC28J60 cumple con las especificaciones IEEE 802.3, e incorpora una serie de esquemas de filtrado de paquetes para limitar el número de paquetes entrantes. También provee un módulo DMA interno para facilitar el flujo de datos y hardware específico para el cálculo de las sumas de control (IP checksums). La comunicación con el microcontrolador que hace las veces de host se realizan mediante el bus SPI a una velocidad de hasta 10Mb/s y dos pines especiales capaces de provocar interrupciones en el ENC28J60. Otros dos pines pueden utilizarse para manejar LEDs que indiquen la conexión y la actividad de la red.

Importante:

- Debido a las limitaciones de memoria RAM de los PIC16, la biblioteca PIC16 no tiene ARP, DNS, UDP ni el apoyo de implementaciones para clientes DHCP.
- La variable global SPI\_Ethernet\_userTimerSec de la biblioteca se utiliza para controlar el tiempo para todas las implementaciones de los clientes (ARP, DNS, DHCP y UDP). Es responsabilidad del usuario incrementar esta variable cada segundo en su código, si cualquiera de estos clientes se utiliza.
- Para los usuarios avanzados, existen ficheros de cabecera ("\_\_EthEnc28j60.h" y "\_\_EthEnc28j60Private.h") los cuales son para uso de PICs P16XX y P18XX. Estos utilizan carpetas del compilador con la descripción de todas las rutinas y variables globales, las cuales son relevantes para el usuario, y estos son implementados en la biblioteca del SPI Ethernet ENC28J60.
- El hardware adecuado del módulo SPI debe ser inicializado antes de usar cualquiera de las rutinas del SPI Ethernet ENC28J60. Consulte la Biblioteca SPI.
- Para PICs con dos módulos SPI es posible inicializar ambos y luego intercambiarlos usando la rutina SPI\_Set\_Active ().

## 5.2. PROGRAMA DESARROLLADO EN MIKROC FOR PIC

El circuito presentado a continuación, será capaz de responder a peticiones de eco ICMP y ARP, también responderá a las peticiones HTML en el puerto 80, con

el método GET para el envío de datos, estos datos se enviará a una aplicación web, donde se tratará la información obtenida. (Ésta aplicación web podría ser una futura implementación del diseño propuesto, donde se podría consultar en una base de datos la información adquirida por medio del CC1000, y confrontarla para permitir realizar labores de identificación y manejo del flujo de personas y carros).

A continuación se encontrará el código para programar el PIC en el modo de comunicación Ethernet, donde se aprecian los aspectos más importantes de la configuración y la utilización de las rutinas y librerías que se tienen a disposición con el programa MikroC for PIC.

La primera parte es la configuración de los parámetros iniciales, donde se incluye el archivo EthEnc28j60.h, el cual debe estar en la carpeta del proyecto para que pueda funcionar la comunicación Ethernet, además de definir los puertos a usar.

```
#include "__EthEnc28j60.h"
#define Spi_Ethernet_HALFDUPLEX    0x00 // half duplex
#define Spi_Ethernet_FULLDUPLEX    0x01 // full duplex
sfr sbit SPI_Ethernet_Rst at RC0_bit;
sfr sbit SPI_Ethernet_CS at RC1_bit;
sfr sbit SPI_Ethernet_Rst_Direction at TRISC0_bit;
sfr sbit SPI_Ethernet_CS_Direction at TRISC1_bit;
```

Se definen las cadenas de constantes, entre ellas la cabecera de la página, el tipo de caracteres que se usarán en la página, el método para enviar los datos.

```
const unsigned char httpHeader[] = "HTTP/1.1 200 OKnContent-type: " ;
const unsigned char httpMimeTypeHTML[] = "text/htmlnn" ;
const unsigned char httpMimeTypeScript[] = "text/plainnn" ;
unsigned char httpMethod[] = "GET /";
```

En el valor IndexPage se coloca el código en HTML de la página principal de la aplicación. Este campo estará vacío, ya que supone de la creación de una aplicación web que trabaje con los datos del CC1000. Es de mencionar que el valor con el código supera la capacidad de 8 bits, con lo cual se puede crear otro valor, por ejemplo indexPage2, el cual puede contener el resto del código.

```
const char *indexPage =
```

Se definen los valores del hardware y de la arquitectura del ethernet

```
unsigned char myMacAddr[6] = {0x00, 0x14, 0xA5, 0x76, 0x19, 0x3f} ; // MAC
address
unsigned char myIpAddr[4] = {192, 168, 20, 60} ; // IP
address
```

```

unsigned char  getRequest[15] ;                               // HTTP
request buffer
unsigned char  dyna[30] ;                                    // buffer for
dynamic response
unsigned long  httpCounter = 0 ;                             // counter of
HTTP requests
#define putConstString SPI_Ethernet_putConstString
#define putString SPI_Ethernet_putString

```

Esta función es llamada por la biblioteca que el usuario acceda a la solicitud HTTP mediante llamadas sucesivas a Spi\_Ethernet\_getByte (), se colocan los datos en el búfer de transmisión de llamadas sucesivas a Spi\_Ethernet\_putByte () y la función debe devolver la longitud en bytes de la respuesta HTTP, o 0 si no hay nada para transmitir.

```

unsigned int  SPI_Ethernet_UserTCP(unsigned char *remoteHost, unsigned int
remotePort, unsigned int localPort, unsigned int reqLength, TEthPktFlags *flags)
{
    unsigned int  len = 0 ;                                  // my reply length
    unsigned int  i ;                                       // general purpose integer
    if(localPort != 80)                                     // I listen only to web request on port 80
    {
        return(0) ;
    }
}

```

Para obtener los 10 primeros bytes de la solicitud, el resto serán descartados:

```

for(i = 0 ; i < 10 ; i++)
{
    getRequest[i] = SPI_Ethernet_getByte() ;
}
getRequest[i] = 0 ;

if (memcmp(getRequest, httpMethod, 5)) // only GET method is supported
here
{
    return(0) ;
}
// add AN3 value to reply
IntToStr(ADC_Read(3), dyna) ;
len += putConstString("var AN3=") ;
len += putString(dyna) ;
len += putConstString(";") ;

```

Añade las peticiones HTTP:

```
    IntToStr(httpCounter, dyna) ;
    len += putConstString("var REQ=") ;
    len += putString(dyna) ;
    len += putConstString(";") ;
}
else if(getRequest[5] == 't')
{
    unsigned char bitMask = 0 ;

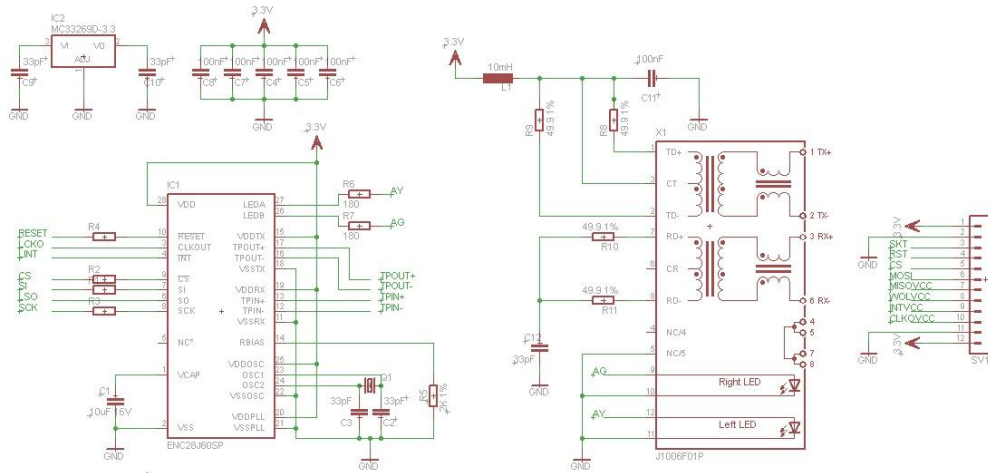
    if(isdigit(getRequest[6]))
    {
        bitMask = getRequest[6] - '0' ;
        bitMask = 1 << bitMask ;
        PORTD ^= bitMask ;
    }
}
```

Toma los valores por defecto:

```
if(len == 0)
{
    len = putConstString(httpHeader) ;
    len += putConstString(httpMimeTypeHTML) ;
    len += putConstString(indexPage) ;
}

return(len) ; // return to the library with the number
of bytes to transmit
}
```

El siguiente es el diseño del esquema como debe ir montado la adaptación para usar la tecnología Ethernet. Éste es un esquema general de montaje general para este propósito el cual fue sacado de la misma hoja de datos del ENC28J60 (Ver figura 42).



**Figura N° 42.** Esquemático de ENC28J60

Uno de los dispositivos más difíciles de conseguir es el conector RJ45 con los filtros integrados, ya que el dispositivo ENC28J60 es de fácil adquisición.

## 6. ADECUAR LAS TECNOLOGÍAS RFID, ETHERNET Y POE PARA SER USADAS EN UN SISTEMA DE RECONOCIMIENTO Y MANEJO DE INFORMACIÓN.

### 6.1. SOFTWARE DE CONTROL.

#### 6.1.1. Software de configuración para la transmisión de datos.

Una de las etapas más importantes en la formulación del diseño consiste en realizar la formulación del software de control que permita la integración de las tecnologías estipuladas en las etapas anteriores. Como primera necesidad y ante la decisión de incluir en el diseño la utilización de los integrados CC1000 para realizar la transmisión de las señales por radiofrecuencia, fue necesario realizar un software que permitiera programar los mismos a través de una interfaz serial con el envío de una serie de tramas lógicas de pulsos desde los puertos de un micro controlador. Las tramas de bits necesarias para la correcta programación de los CC1000 así como los componentes electrónicos necesarios para la implementación de los mismos a la frecuencia deseada, fueron posibles de calcular gracias a la utilización del smartRF studio (Ver figura 43), un software libre suministrado por la compañía Texas Instruments como un medio para que sus clientes puedan realizar la correcta implementación de los componentes fabricados por ellos y que requieran este tipo de programación especial.

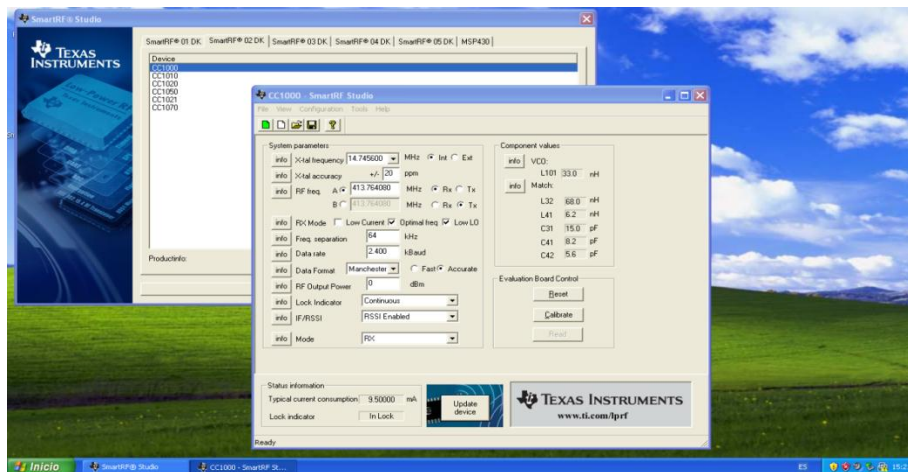


Figura Nº 43. Visualización del software SmartRF Studio de la empresa Texas Instrument.

Así, con la ayuda del smartRF studio se obtuvieron los siguientes parámetros de programación.

```
unsigned short MAIN0= 0X00;  
unsigned short FREQ_0A= 0X00;  
unsigned short FREQ_1A= 0X40;
```

```

unsigned short FREQ_2A= 0X4D;
unsigned short FREQ_0B= 0X5F;
unsigned short FREQ_1B= 0X3C;
unsigned short FREQ_2B= 0X46;
unsigned short FSEP0= 0XD2;
unsigned short FSEP1= 0X02;
unsigned short CURRENT= 0X81;
unsigned short FRONT_END= 0X10;
unsigned short PA_POW= 0XFF;
unsigned short PLL= 0X50;
unsigned short LOCK= 0X00;
unsigned short CAL= 0X26;
unsigned short MODEM2= 0XB7;
unsigned short MODEM1= 0X6F;
unsigned short MODEM0= 0X54;
unsigned short MATCH= 0X70;
unsigned short FSCTRL= 0X01;
unsigned short PRESCALER= 0X00;
unsigned short TEST6= 0X10;
unsigned short TEST5= 0X08;
unsigned short TEST4= 0X3F;
unsigned short TEST3= 0X04;
unsigned short TEST2= 0X00;
unsigned short TEST1= 0X00;
unsigned short TEST0= 0X00;

```

La declaración de los parámetros como variables, corresponde a su implementación dentro del software de control para la transmisión en lenguaje C, a través del compilador mikro C PRO for PIC v.4.60.0.0.

Debido a las características de configuración del CC1000, era necesario realizar una programación serial, de manera que los parámetros fueran transmitidos bit por bit a través de al menos uno de los puertos de un PIC, contando así con las siguientes salidas:

```

PCLK= PUERTO RB2.
PDATA= PUERTO RB3.
PALE= PUERTO RB4.

```

Así entonces, el algoritmo diseñado para llevar a cabo esta labor fue el siguiente:

```

//INICIALIZACIÓN DEL CC1000
PORTB= 0b00011000;
delay_us(1);
PORTB= 0b00000100;

```



```

PORTB= 0b00010100;
do{
if (k==0){
BUFFER= 0X00;
BUFFER1= 0X3A;
k++;
tx++;
}
else{
if (k==1){
BUFFER= 0X00;
BUFFER1= 0X3B;
k++;
tx++;
delay_us(2800);
}
else{
if (k==2){
BUFFER= 0X01;
BUFFER1= FREQ_2A;
k++;
tx++;
}
else{
if (k==3){
BUFFER= 0X02;
BUFFER1= FREQ_1A;
k++;
tx++;
}
else{
if (k==4){
BUFFER= 0X03;
BUFFER1= FREQ_0A;
k++;
tx++;
}
else{
if(k==5){
BUFFER= 0X04;
BUFFER1= FREQ_2B;
k++;
tx++;
}
else {

```

```

if (k==6){
BUFFER= 0X05;
BUFFER1= FREQ_1B;
k++;
tx++;
}
else{
if (k==7){
BUFFER= 0X06;
BUFFER1= FREQ_0B;
k++;
tx++;
}
else{
if(k==8){
BUFFER= 0X07;
BUFFER1= FSEP1;
k++;
tx++;
}
else{
if (k==9){
BUFFER= 0X08;
BUFFER1= FSEP0;
k++;
tx++;
}
else{
if (k==10){
BUFFER= 0X0A;
BUFFER1= FRONT_END;
k++;
tx++;
}
else {
if (k==11){
BUFFER= 0X0C;
BUFFER1= PLL;
k++;
tx++;
}
else{
if (k==12){
BUFFER= 0X0D;
BUFFER1= LOCK;

```



```

else{
  if (k==19){
    BUFFER= 0X42;
    BUFFER1= TEST4;
    k++;
    tx++;
  }
  //CALIBRACIÓN
  //RX CALIBRATION
  else{
    if (k==20){
      BUFFER= 0X00;
      BUFFER1= 0x11;
      k++;
      tx++;
    }
    else{
      if (k==21){
        BUFFER= 0X09;
        BUFFER1= 0XFF;
        k++;
        tx++;
      }
      else{
        if (k==22){
          BUFFER= 0X0E;
          BUFFER1= 0XA6;
          k++;
          tx++;
          delay_us(34);
        }
        else{
          if (k==23){
            BUFFER= 0X0E;
            BUFFER1= 0X26;
            k++;
            tx++;
          }
          //TX CALIBRATION
          else{
            if (k==24){
              BUFFER= 0X00;
              BUFFER1= 0XE1;
              k++;
              tx++;
            }
          }
        }
      }
    }
  }
}

```

```

}
else{
  if (k==25){
    BUFFER= 0X09;
    BUFFER1= 0XFF;
    k++;
    tx++;
  }
  else{
    if (k==26){
      BUFFER= 0X0B;
      BUFFER1= 0X00;
      k++;
      tx++;
    }
    else{
      if (k==27){
        BUFFER= 0X0E;
        BUFFER1= 0XA6;
        k++;
        tx++;
        delay_us(28);
      }
      else{
        if (k==28){
          BUFFER= 0X0E;
          BUFFER1= 0X26;
          k++;
          tx++;
        }
        // Modo de trabajo Tx
      }
    }
  }
}
else{
  if (tx==29){
    BUFFER= 0X0B;
    BUFFER1= 0X00;
    delay_us(10);
    k++;
    tx++;
  }
  else{
    if (tx==30){
      BUFFER= 0X00;
      BUFFER1= 0XE1;
      k++;
      tx++;
    }
  }
}

```



```

    PORTB= 0b00000100;
}
else {
    PORTB= 0b00001100;
    delay_us(3);
    PORTB= 0b00001000;
delay_us(3);
    PORTB= 0b00001100;
}
if (BUFFER.B5==0){
    PORTB= 0b00000100;
delay_us(3);
    PORTB= 0b00000000;
delay_us(3);
    PORTB= 0b00000100;
}
else {
    PORTB= 0b00001100;
delay_us(3);
    PORTB= 0b00001000;
delay_us(3);
    PORTB= 0b00001100;
}
if (BUFFER.B4==0){
    PORTB= 0b00000100;
delay_us(3);
    PORTB= 0b00000000;
delay_us(3);
    PORTB= 0b00000100;
}
else {
    PORTB= 0b00001100;
delay_us(3);
    PORTB= 0b00001000;
delay_us(3);
    PORTB= 0b00001100;
}
if (BUFFER.B3==0){
    PORTB= 0b00000100;
delay_us(3);
    PORTB= 0b00000000;
delay_us(3);
    PORTB= 0b00000100;
}
else {

```

```

    PORTB= 0b00001100;
delay_us(3);
    PORTB= 0b00001000;
delay_us(3);
    PORTB= 0b00001100;
}
if (BUFFER.B2==0){
    PORTB= 0b00000100;
delay_us(3);
    PORTB= 0b00000000;
delay_us(3);
    PORTB= 0b00000100;
}
else {
    PORTB= 0b00001100;
delay_us(3);
    PORTB= 0b00001000;
delay_us(3);
    PORTB= 0b00001100;
}
if (BUFFER.B1==0){
    PORTB= 0b00000100;
delay_us(3);
    PORTB= 0b00000000;
delay_us(3);
    PORTB= 0b00000100;
}
else {
    PORTB= 0b00001100;
delay_us(3);
    PORTB= 0b00001000;
delay_us(3);
    PORTB= 0b00001100;
}
if (BUFFER.B0==0){
    PORTB= 0b00000100;
delay_us(3);
    PORTB= 0b00000000;
delay_us(3);
    PORTB= 0b00000100;
}
else {
    PORTB= 0b00001100;
delay_us(3);
    PORTB= 0b00001000;
}

```



```

delay_us(3);
  PORTB= 0b00001100;
  }
delay_us(3);
PORTB= 0b00001100;
delay_us(3);
PORTB= 0b00001000;
delay_us(3);
  PORTB= 0b00001100;
delay_us(1);
  PORTB= 0b00011100;
delay_us(1);
if (BUFFER1.B7==0){
  PORTB= 0b00010100;
delay_us(3);
  PORTB= 0b00010000;
delay_us(3);
  PORTB= 0b00010100;
}
else {
  PORTB= 0b00011100;
delay_us(3);
  PORTB= 0b00011000;
delay_us(3);
  PORTB= 0b00011100;
}
if (BUFFER1.B6==0){
  PORTB= 0b00010100;
delay_us(3);
  PORTB= 0b00010000;
delay_us(3);
  PORTB= 0b00010100;
}
else {
  PORTB= 0b00011100;
delay_us(3);
  PORTB= 0b00011000;
delay_us(3);
  PORTB= 0b00011100;
}
if (BUFFER1.B5==0){
  PORTB= 0b00010100;
delay_us(3);
  PORTB= 0b00010000;
delay_us(3);

```

```

    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
if (BUFFER1.B4==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
if (BUFFER1.B3==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
if (BUFFER1.B2==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {

```

```

    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
if (BUFFER1.B1==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
if (BUFFER1.B0==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
}
while(k<33);
//while (tx<34); // TX MODE
if (PORTB== 0b00010100){
    PORTB= 0b00010100;
}
else{
    if (PORTB== 0b00011100){
    PORTB= 0b00011100;
    }
}
}

```

Una vez realizada la programación del CC1000 era posible realizar una transmisión de la información deseada a través del trabajo conjunto entre el CC1000 y el micro controlador (PIC); esto es, debido a que la información se debe enviar a través del PIC hacia el CC1000, que es el dispositivo encargado de irradiar la información en forma de ondas de radio. Este proceso de interacción entre el CC1000 y el PIC de igual manera demandan una transmisión serial así como la utilización en este caso de dos salidas del PIC, siendo en este caso la configuración de la siguiente manera:

DCLK = PUERTO RC3.  
DIO = PUERTO RC5.

En este caso, para simplificar el diseño del algoritmo se opta por utilizar el protocolo SPI, el cual permite realizar la transmisión serial, sujeta al reloj de configuración de la librería implícita en la implementación del mismo en el lenguaje C. De esta manera el algoritmo para llevar a cabo está labor fue el siguiente:

```
TRISC=(16);          // Configuración del puerto C para trabajar el spi
SPI1_Init();
cnt=0;
Keypad_init();
ANSEL = 0;
ANSELH = 0;
Lcd_Init();
Lcd_Cmd(_LCD_CURSOR_OFF);
Lcd_Cmd(_LCD_CLEAR);
Lcd_Out(1,1,"Bocina: ");
Lcd_Out(2,1,"Times: ");
do{
if(cnt1>2){
kp1=0;
kp=0;
cnt1=0;
cnt=0;
Lcd_out(1,10,"Error");
Delay_ms(200);
Lcd_cmd(_LCD_CLEAR);
Lcd_Out(1,1,"Bocina: ");
Lcd_Out(2,1,"Times: ");
}
else{
kp2=kp1;
kp1=kp;
kp=0;
do
```

```

kp=KeyPad_Key_Click();
while(!kp);
switch(kp){
//case 10:kp=42;break;
//case 11:kp=48;break;
//case 12:kp=35;break;
//default:kp+=48;
case 1:kp=49;break;
case 2:kp=50;break;
case 3:kp=51;break;
case 4:kp=65;break;
case 5:kp=52;break;
case 6:kp=53;break;
case 7:kp=54;break;
case 8:kp=66;break;
case 9:kp=55;break;
case 10:kp=56;break;
case 11:kp=57;break;
case 12:kp=67;break;
case 13:kp=0; kp1=0;cnt=-1;cnt1=-1;
Lcd_out(1,10,"Borrado");
Delay_ms(200);
Lcd_cmd(_LCD_CLEAR);
Lcd_Out(1,1,"Bocina: ");
Lcd_Out(2,1,"Times: ");break;
case 14:kp=48;break;
case 15:
cnt=-1;cnt1=-1;
dato=((kp2-48)*10)+(kp1-48);
do
{
    SPI1_Write(dato);
    delay_ms(200);
}
while(0);
kp=0, Kp1=0;
break;
case 16:kp=68;break;
}
cnt1=cnt1++;

if(kp!=oldstate){
cnt=1;
oldstate=kp;
}

```

```

else{
cnt++;
}
}
Lcd_Chr(1,11,kp);
Lcd_Chr(1,10,kp1);
if(cnt==255){
cnt=0;
Lcd_Out(2,10," ");
}
WordToStr(cnt,txt);
Lcd_Out(2,10,txt);
}while(1);

```

Así mismo el algoritmo no solo permite realizar la interacción entre el CC1000 y el PIC, sino que además permite validar la información enviada a través de una pantalla LCD 16x2 (véase la sección 4.2), así como interactuar con ella, ya sea para cambiar el código ingresado, o para ejecutar la orden de envío.

NOTA: el código expuesto en este segmento se encuentra incompleto por motivos de confidencialidad.

### **6.1.2. Software de configuración para la Recepción de datos.**

Una de las principales ventajas que la inclusión del CC1000 en el diseño ofrece, es la facilidad de programación del mismo, en términos de la realización del software para la interacción entre el micro controlador (PIC) y el CC1000; esto debido a que la transmisión de parámetros de configuración tanto en transmisión como en recepción se realizan de la misma manera y gracias a ello las diferencias entre un programa y el otro no son tan significativas.

Dado lo anterior, se emplea nuevamente el smartRF studio, para la configuración del CC1000 en recepción son los siguientes parámetros:

```

unsigned short MAIN0= 0X00;
unsigned short FREQ_0A= 0X00;
unsigned short FREQ_1A= 0X40;
unsigned short FREQ_2A= 0X4D;
unsigned short FREQ_0B= 0X5F;
unsigned short FREQ_1B= 0X3C;
unsigned short FREQ_2B= 0X46;
unsigned short FSEP0= 0XD2;
unsigned short FSEP1= 0X02;
unsigned short CURRENT= 0X44;
unsigned short FRONT_END= 0X10;

```

```

unsigned short PA_POW= 0XFF;
unsigned short PLL= 0X58;
unsigned short LOCK= 0X00;
unsigned short CAL= 0X26;
unsigned short MODEM2= 0XB7;
unsigned short MODEM1= 0X6F;
unsigned short MODEM0= 0X54;
unsigned short MATCH= 0X70;
unsigned short FSCTRL= 0X01;
unsigned short PRESCALER= 0X00;
unsigned short TEST6= 0X13;
unsigned short TEST5= 0X13;
unsigned short TEST4= 0X3F;
unsigned short TEST3= 0X13;
unsigned short TEST2= 0X13;
unsigned short TEST1= 0X13;
unsigned short TEST0= 0X13;

```

Una vez más, cabe especificar que la declaración de los parámetros como variables, es una condición implícita en la necesidad de realizar su implementación a través de lenguaje C para la programación del CC1000.

Debido a las características de configuración del CC1000, de nuevo es necesario realizar una programación serial como en el caso anterior, por ello se realizaron las siguientes consideraciones:

```

PCLK= PUERTO RB2.
PDATA= PUERTO RB3.
PALE= PUERTO RB4.

```

El algoritmo diseñado para llevar a cabo la configuración del CC1000 es el siguiente:

```

//INICIALIZACIÓN DEL CC1000
PORTB= 0b00010100;
PORTB= 0b00000100;
PORTB= 0b00010100;
do{
if (k==0){
BUFFER= 0X00;
BUFFER1= 0X3A;
//delay_ms(1000);
k++;
tx++;
}
}

```

```

else{
  if (k==1){
    BUFFER= 0X00;
    BUFFER1= 0X3B;
    //delay_ms(1000);
    k++;
    tx++;
    delay_us(2700);
  }
  else{
    if (k==2){
      BUFFER= 0X01;
      BUFFER1= FREQ_2A;
      k++;
      tx++;
    }
    else{
      if (k==3){
        BUFFER= 0X02;
        BUFFER1= FREQ_1A;
        k++;
        tx++;
      }
      else{
        if (k==4){
          BUFFER= 0X03;
          BUFFER1= FREQ_0A;
          k++;
          tx++;
        }
        else{
          if(k==5){
            BUFFER= 0X04;
            BUFFER1= FREQ_2B;
            k++;
            tx++;
          }
          else {
            if (k==6){
              BUFFER= 0X05;
              BUFFER1= FREQ_1B;
              k++;
              tx++;
            }
          }
        }
      }
    }
  }
}

```



```

else{
  if (k==7){
    BUFFER= 0X06;
    BUFFER1= FREQ_0B;
    k++;
    tx++;
  }
  else{
    if(k==8){
      BUFFER= 0X07;
      BUFFER1= FSEP1;
      k++;
      tx++;
    }
    else{
      if (k==9){
        BUFFER= 0X08;
        BUFFER1= FSEP0;
        k++;
        tx++;
      }
      else{
        if (k==10){
          BUFFER= 0X0A;
          BUFFER1= FRONT_END;
          k++;
          tx++;
        }
        else {
          if (k==11){
            BUFFER= 0X0C;
            BUFFER1= PLL;
            k++;
            tx++;
          }
          else{
            if (k==12){
              BUFFER= 0X0D;
              BUFFER1= LOCK;
              k++;
              tx++;
            }
            else{
              if (k==13){
                BUFFER= 0X0F;

```

```

BUFFER1= MODEM2;
k++;
tx++;
}
else{
if (k==14){
BUFFER= 0X10;
BUFFER1= MODEM1;
k++;
tx++;
}
else{
if (k==15){
BUFFER= 0X11;
BUFFER1= MODEM0;
k++;
tx++;
}
else{
if (k==16){
BUFFER= 0X12;
BUFFER1= MATCH;
k++;
tx++;
}
else{
if (k==17){
BUFFER= 0X13;
BUFFER1= FSCTRL;
k++;
tx++;
}
else{
if (k==18){
BUFFER= 0X1C;
BUFFER1= PRESCALER;
k++;
tx++;
}
else{
if (k==19){
BUFFER= 0X42;
BUFFER1= TEST4;
k++;
tx++;
}

```

```

}
//CALIBRACIÓN
//RX CALIBRATION
else{
  if (k==20){
    BUFFER= 0X00;
    BUFFER1= 0x11;
    k++;
    tx++;
  }
  else{
    if (k==21){
      BUFFER= 0X09;
      BUFFER1= 0XFF;
      k++;
      tx++;
    }
    else{
      if (k==22){
        BUFFER= 0X0E;
        BUFFER1= 0XA6;
        k++;
        tx++;
        delay_us(34);
      }
      else{
        if (k==23){
          BUFFER= 0X0E;
          BUFFER1= 0X26;
          k++;
          tx++;
        }
        //TX CALIBRATION
        else{
          if (k==24){
            BUFFER= 0X00;
            BUFFER1= 0XE1;
            k++;
            tx++;
          }
          else{
            if (k==25){
              BUFFER= 0X09;
              BUFFER1= 0XFF;
              k++;
            }
          }
        }
      }
    }
  }
}

```

```

tx++;
}
else{
  if (k==26){
    BUFFER= 0X0B;
    BUFFER1= 0X00;
    k++;
    tx++;
  }
  else{
    if (k==27){
      BUFFER= 0X0E;
      BUFFER1= 0XA6;
      k++;
      tx++;
      delay_us(28);
    }
    else{
      if (k==28){
        BUFFER= 0X0E;
        BUFFER1= 0X26;

k++;

        tx++;
      }
      // Modo de trabajo Rx
    else{

      if (tx==29){
        BUFFER= 0X0B;
        BUFFER1= 0X00;
        delay_us(10);
        k++;
        tx++;
      }
      else{
        if (tx==30){
          BUFFER= 0X00;
          BUFFER1= 0X11;
          k++;
          tx++;
        }
        else{
          if (tx==31){
            BUFFER= 0X09;
            BUFFER1= 0XFF;
            k++;

```



```

    }
    if (BUFFER.B5==0){
        PORTB= 0b00000100;
    delay_us(3);
        PORTB= 0b00000000;
    delay_us(3);
        PORTB= 0b00000100;
    }
    else {
        PORTB= 0b00001100;
    delay_us(3);
        PORTB= 0b00001000;
    delay_us(3);
        PORTB= 0b00001100;
    }
    if (BUFFER.B4==0){
        PORTB= 0b00000100;
    delay_us(3);
        PORTB= 0b00000000;
    delay_us(3);
        PORTB= 0b00000100;
    }
    else {
        PORTB= 0b00001100;
    delay_us(3);
        PORTB= 0b00001000;
    delay_us(3);
        PORTB= 0b00001100;
    }
    if (BUFFER.B3==0){
        PORTB= 0b00000100;
    delay_us(3);
        PORTB= 0b00000000;
    delay_us(3);
        PORTB= 0b00000100;
    }
    else {
        PORTB= 0b00001100;
    delay_us(3);
        PORTB= 0b00001000;
    delay_us(3);
        PORTB= 0b00001100;
    }
    if (BUFFER.B2==0){
        PORTB= 0b00000100;

```

```

delay_us(3);
  PORTB= 0b00000000;
delay_us(3);
  PORTB= 0b00000100;
}
else {
  PORTB= 0b00001100;
delay_us(3);
  PORTB= 0b00001000;
delay_us(3);
  PORTB= 0b00001100;
}
if (BUFFER.B1==0){
  PORTB= 0b00000100;
delay_us(3);
  PORTB= 0b00000000;
delay_us(3);
  PORTB= 0b00000100;
}
else {
  PORTB= 0b00001100;
delay_us(3);
  PORTB= 0b00001000;
delay_us(3);
  PORTB= 0b00001100;
}
}
if (BUFFER.B0==0){
  PORTB= 0b00000100;
delay_us(3);
  PORTB= 0b00000000;
delay_us(3);
  PORTB= 0b00000100;
}
else {
  PORTB= 0b00001100;
delay_us(3);
  PORTB= 0b00001000;
delay_us(3);
  PORTB= 0b00001100;
}
}
delay_us(3);
PORTB= 0b00001100;
delay_us(3);
PORTB= 0b00001000;
delay_us(3);

```

```

PORTB= 0b00001100;
delay_us(1);
    PORTB= 0b00011100;
delay_us(1);
if (BUFFER1.B7==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
if (BUFFER1.B6==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}
if (BUFFER1.B5==0){
    PORTB= 0b00010100;
delay_us(3);
    PORTB= 0b00010000;
delay_us(3);
    PORTB= 0b00010100;
}
else {
    PORTB= 0b00011100;
delay_us(3);
    PORTB= 0b00011000;
delay_us(3);
    PORTB= 0b00011100;
}

```



```

    }
    if (BUFFER1.B4==0){
        PORTB= 0b00010100;
    delay_us(3);
        PORTB= 0b00010000;
    delay_us(3);
        PORTB= 0b00010100;
    }
    else {
        PORTB= 0b00011100;
    delay_us(3);
        PORTB= 0b00011000;
    delay_us(3);
        PORTB= 0b00011100;
    }
    if (BUFFER1.B3==0){
        PORTB= 0b00010100;
    delay_us(3);
        PORTB= 0b00010000;
    delay_us(3);
        PORTB= 0b00010100;
    }
    else {
        PORTB= 0b00011100;
    delay_us(3);
        PORTB= 0b00011000;
    delay_us(3);
        PORTB= 0b00011100;
    }
    if (BUFFER1.B2==0){
        PORTB= 0b00010100;
    delay_us(3);
        PORTB= 0b00010000;
    delay_us(3);
        PORTB= 0b00010100;
    }
    else {
        PORTB= 0b00011100;
    delay_us(3);
        PORTB= 0b00011000;
    delay_us(3);
        PORTB= 0b00011100;
    }
    if (BUFFER1.B1==0){
        PORTB= 0b00010100;

```

```

delay_us(3);
  PORTB= 0b00010000;
delay_us(3);
  PORTB= 0b00010100;
}
else {
  PORTB= 0b00011100;
delay_us(3);
  PORTB= 0b00011000;
delay_us(3);
  PORTB= 0b00011100;
}
if (BUFFER1.B0==0){
  PORTB= 0b00010100;
delay_us(3);
  PORTB= 0b00010000;
delay_us(3);
  PORTB= 0b00010100;
}
else {
  PORTB= 0b00011100;
delay_us(3);
  PORTB= 0b00011000;
delay_us(3);
  PORTB= 0b00011100;
}
}
while(k<34);
//while (tx<33); // RX MODE
if (PORTB== 0b00010100){
  PORTB= 0b00010100;
}
else{
  if (PORTB== 0b00011100){
  PORTB= 0b00011100;
}
}
}

```

Una vez realizada la programación del CC1000 este está en capacidad de recibir la información que se transmita en la misma frecuencia para la que fue configurado, además una vez recibida es enviada al micro controlador (PIC) a través de la compuerta DIO y su respectivo reloj. Este proceso de interacción entre el CC1000 y el PIC de igual manera demandan una transmisión serial así como la utilización en este caso de dos entradas del PIC, siendo en este caso la configuración de la siguiente manera:

DCLK = PUERTO RC3.  
DIO = PUERTO RC4.

Para conservar los principios de comunicación establecidos en el algoritmo de transmisión, se optó por utilizar el protocolo SPI también en el receptor para interpretar la información recibida, así gracias a la configuración de la librería del SPI en el lenguaje C el algoritmo para llevar a cabo esta labor fue el siguiente:

```
TRISA=(255);
TRISC=(223);
TRISB=(0);
PORTB = 0;
SPI1_Init_Advanced(_SPI_SLAVE_SS_ENABLE,
_SPI_DATA_SAMPLE_MIDDLE, _SPI_CLK_IDLE_LOW, _SPI_LOW_2_HIGH);
do {
    if(SPI1_Read(dato)==52)
        PORTB=1;
    delay_ms(2000);
    PORTB=0;
    if(SPI1_Read(dato)==53)
        PORTB=2;
    delay_ms(2000);
    PORTB=0;
}
while(1);
}
```

La simplicidad del código revela no sólo la efectividad de implementar el protocolo SPI, sino que además deja en evidencia el hecho de que no se implementó un sistema de codificación de la información, únicamente se utilizaron dos códigos de prueba sin encriptación de ninguna clase, esto no sólo con el fin de hacer más fácil su manejo, sino para dejar abiertas las posibilidades ante una implementación con normas estándar de RFID independientemente de la familia de tarjetas o Tags que se deseen utilizar.

NOTA: el código expuesto en este segmento se encuentra incompleto por motivos de confidencialidad.

## **6.2. DISEÑO TECNOLÓGICO Y HARDWARE NECESARIO PARA SU FUNCIONAMIENTO.**

En esta etapa del diseño se establecieron los aspectos más importantes a tener en cuenta y se escogieron las técnicas a utilizar para la comunicación entre hardware, así como los protocolos más adecuados para el diseño del sistema.

### **6.2.1. Comunicación bajo protocolos RFID.**

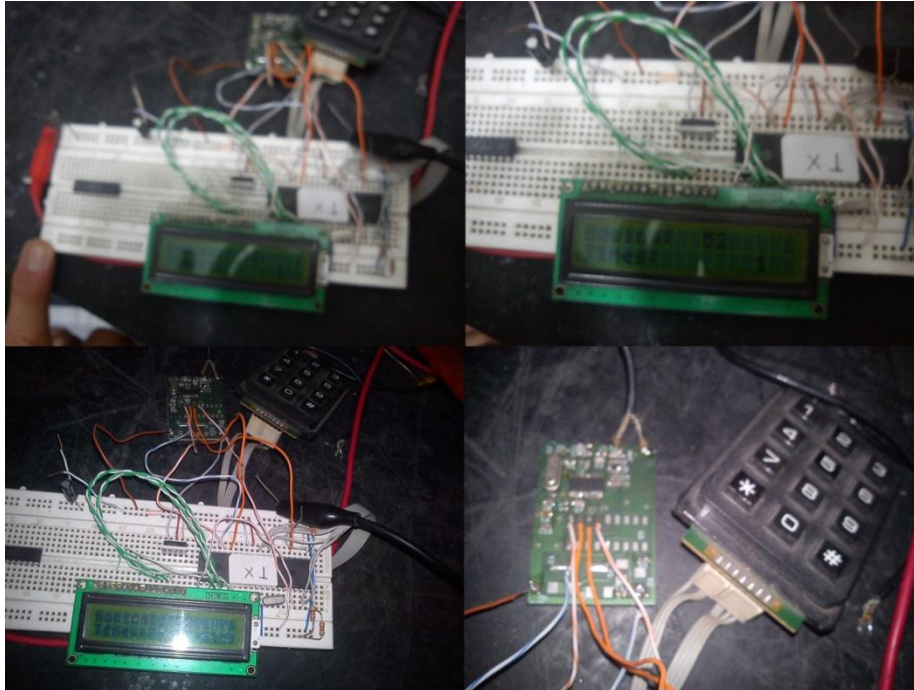
Para realizar la comunicación a través de radio frecuencia, se decidió utilizar los dispositivos CC1000, integrados fabricados por la empresa Texas Instruments, una reconocida compañía del sector de la electrónica, que son capaces de ser programados para irradiar información a diferentes rangos de frecuencia a través de la interfaz serial con un micro controlador (PIC). La decisión de incluirlos en el diseño se debió a su facilidad para operar a casi cualquier rango de frecuencia estándar bajo protocolos RFID, lo que posibilita la opción de tener un mayor número de posibilidades ante una posible implementación futura. Adicional a ello los CC1000 son dispositivos de costo bajo así como su implementación general, debido a los componentes básicos que su modo de trabajo requieren.

La facilidad de implementación del CC1000 no radica sólo en su capacidad para ser programado a diferentes frecuencias, sino a la gran cantidad de información disponible sobre el mismo, así como a la posibilidad de ajustarlo a la necesidad existente a través del smartRF studio, un software libre facilitado por Texas Instruments a través de su página web, que brinda todos los parámetros necesarios para diseños que incluyan este dispositivo, tanto en términos de hardware como de software; esto resulto muy práctico ya que con la combinación de la información obtenida en la web, los parámetros obtenidos con el smartRF studio y las necesidades inicialmente detectadas, fue posible realizar un primer diseño, así como la respectiva simulación del mismo.

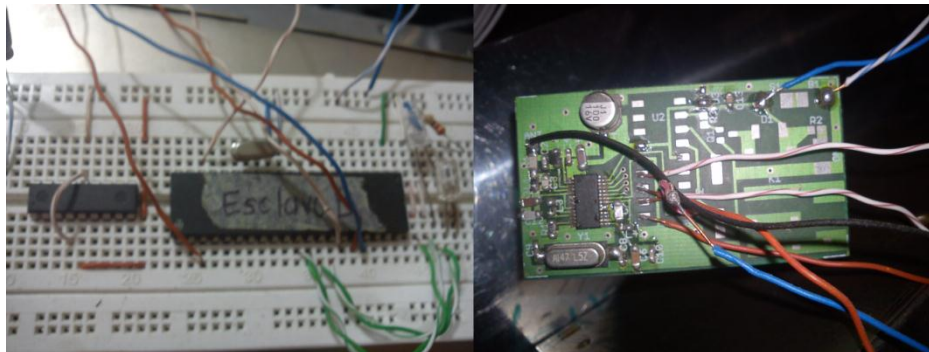
Para la realización de la comunicación entonces fueron necesarios dos diseños, uno para realizar la configuración del CC1000 en modo de transmisión, así como para manipular la información transmitida y controlar el proceso de comunicación (ver figura 44); y otro para realizar la configuración del CC1000 en modo de recepción, así como para comprobar la información recibida y retransmitirla si es el caso (ver figura 45).



física y lógica. Adicional a ello el diseño incluye los componentes necesarios para el funcionamiento del CC1000 de acuerdo a las pautas establecidas en la hoja de datos de dicho integrado, disponible en la web (ver Figuras 46 y 47).



**Figura N° 46.** Montaje en board de la etapa de transmisión

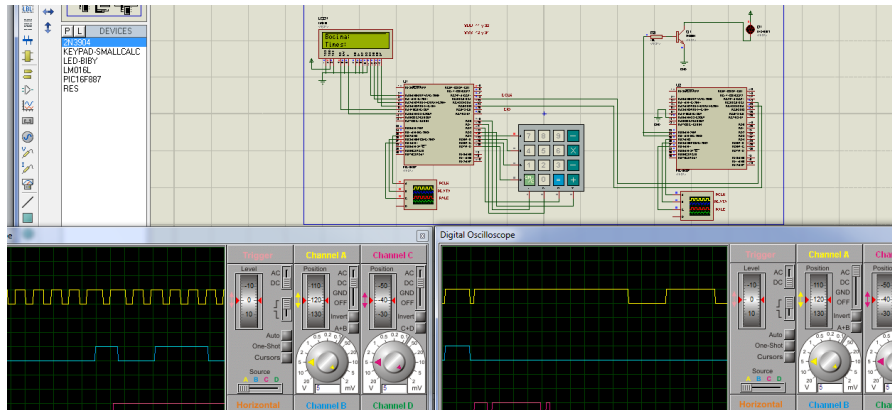


**Figura N° 47.** Montaje en board de la etapa de recepción

Para comprobar la efectividad del diseño se estableció y ejecuto un proceso que permitiera confrontar lo calculado versus lo real, de la siguiente manera.

En primera instancia la simulación nos permitió corroborar la información transmitida por el PIC, determinando de esta manera una correcta correspondencia entre lo estipulado en la realización del algoritmo y la

implementación del mismo a través de un PIC 16F887, así como también el correcto funcionamiento al implementar el protocolo SPI en ambos PIC (véase Figura 48).

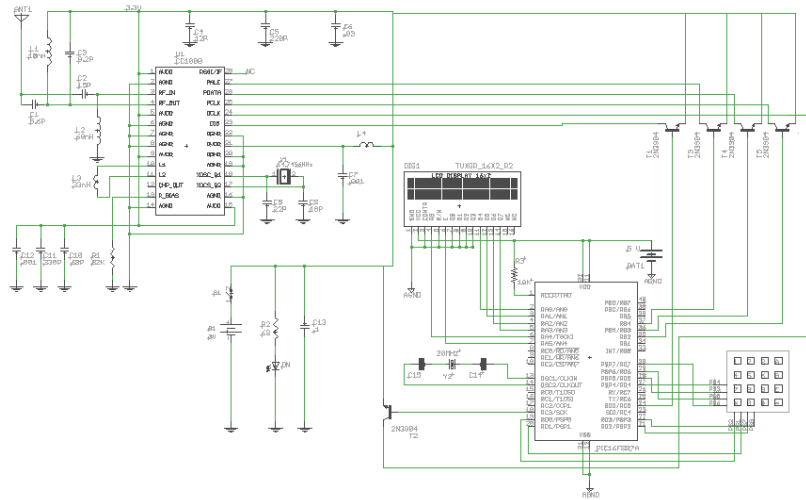


**Figura N° 48.** Simulación en Proteus del sistema de comunicación.

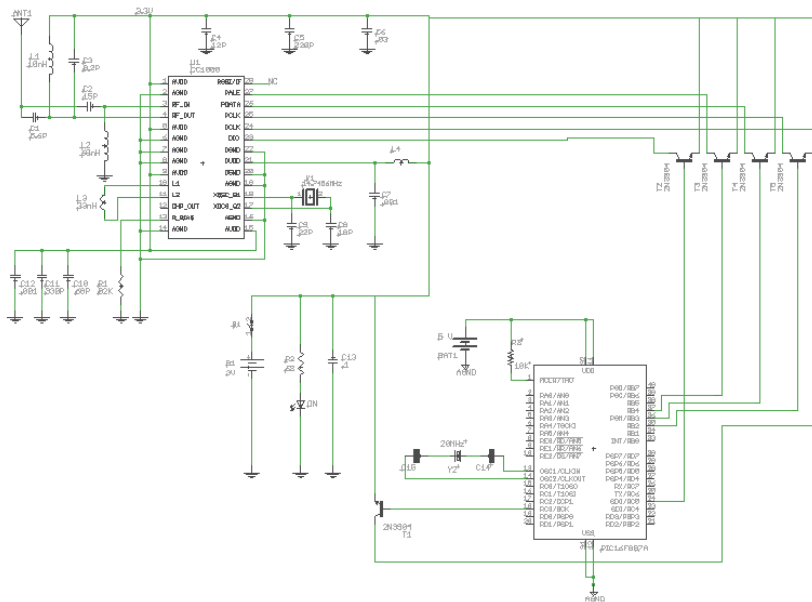
El paso siguiente, es el montaje del circuito simulado, para analizar su desempeño real, y tras realizar dicha actividad los resultados fueron totalmente acordes a los obtenidos en la simulación y a los esperados tras la realización del diseño, sin embargo esta etapa no incluyo la utilización del CC1000, tan sólo se realizó la comunicación de modo cableado para comprobar el funcionamiento con el protocolo SPI y los mecanismos de control en la comunicación, pudiendo observar de esta manera que la comunicación fue exitosa por medio de la visualización de una señal lumínica en el receptor, en términos particulares un led que sólo debía encender si recibía uno de dos códigos posibles. Las pruebas realizadas con ambos códigos fueron exitosas, ratificando así el óptimo desempeño tanto de los mecanismos de control en términos de Hardware y Software, como el del protocolo SPI.

Una vez comprobados tanto la mayor parte del software como del Hardware, el paso siguiente fue incluir los CC1000 y corroborar su funcionamiento. A través de las pruebas realizadas fue posible determinar dos cosas, la primera en cuanto al software; ya que el funcionamiento del CC1000 se sincronizo a la frecuencia esperada, se establece que la falla se debe al tiempo necesario para realizar la configuración del mismo, y más específicamente al periodo de cada uno de los pulsos enviados al CC1000 a través del PIC. Una vez determinado esto, se realizaron las correcciones y la solución demostró ser satisfactoria (Ver figura 49 y 50); la segunda que se pudo determinar por pruebas y mediciones tanto del espectro de frecuencias como de niveles de tensión en todo el circuito fue que la interacción entre el PIC y el CC1000 se debe hacer a 3 V, debido a que este es el valor nominal de tensión para el que el CC1000 está diseñado, sin embargo las señales emitidas por el PIC 16F887 son a 5 V, hecho que se vio reflejado en una

irradiación de información inestable por parte del CC1000. Para corregir este fenómeno fue necesario incluir en el diseño transistores de switcheo que permitan acoplar las tramas generadas por el PIC a un voltaje de 3 V con la velocidad necesaria para no malversar la información enviada.



**Figura Nº 49.** Diseño final del Transmisor con CC1000



**Figura Nº 50.** Diseño final del Receptor con CC1000

Las modificaciones realizadas permiten asegurar un desempeño óptimo del diseño, estableciendo una independencia entre los niveles de tensión del circuito de control y el circuito del CC1000, con un sistema flexible que puede ser ajustado



a las necesidades que se presenten en un estudio más profundo de la problemática analizada.

## **7. CONCLUSIONES.**

Con la implementación de este sistema, la carga de trabajo pesado y el error humano causado por la operación manual, se elimina completamente, lo que facilita enormemente el control del flujo de personas y carros, mejorando el rendimiento en las entradas a la universidad.

Con el sistema automático que utiliza la información recogida mediante las tarjetas RFID, se tiene un control centralizado y en tiempo real para la circulación de vehículos y personas dentro de la ciudadela universitaria. Toda esta operación proporciona información precisa para implementar futuras aplicaciones que lleven a la identificación plena de patrones de flujo y circulación con lo que se desarrollarían aplicaciones automáticas que permitan eliminar este control por parte del personal de seguridad, dejándoles más tiempo libre para dedicarse a las tareas más pertinentes de su labor.

Éste sistema de control permite un ahorro de costos, ya que al eliminar el factor humano en los sistemas de control del flujo de vehículos y personas, o reduciendo considerablemente su labor, no será necesaria la contratación de un gran personal para controlar este fin, con lo que los costos de implementación de esta nueva tecnología se verán recuperados al cabo de unos pocos meses. Lo que a largo plazo será un ahorro significativo de dinero.

El acceso no se limita a las instalaciones físicas del sistema, ya que al tener conexión Ethernet, se puede tener acceso a los controles desde internet con un navegador estándar, es decir, desde cualquier parte del mundo, todo esto con la creación de aplicaciones que integren sistemas de seguridad para restringir el acceso.

Los Tags RFID pueden aplicarse en situaciones prácticamente inimaginables, obteniendo los datos en tiempo real allí dónde se producen y cuando se producen.

## **8. RECOMENDACIONES.**

Para el código de la configuración Ethernet con el controlador ENC28J60, se dejó la variable "IndexPage" en blanco para el desarrollo de una aplicación web, el cual pueda acceder a una base de datos donde confirmará toda la información obtenida por medio de los Tags RFID.

La implementación de este sistema en la Institución Universitaria de Envigado tiene consigo varios requisitos para su desarrollo, por esto una propuesta posterior puede ser dicha implementación solicitando los permisos necesarios así como el presupuesto requerido para tal efecto.

## BIBLIOGRAFÍA

- G. FINK, Donald; CHRISTIANSEN, Donald. Manual de ingeniería electrónica. Volumen V. México: editorial Mc. Graw Hill, 1992.
- PALLÁS ARENY, Ramón. Adquisición y distribución de señales. Universidad politécnica de Cataluña: Editorial Mar combo, ediciones técnicas 1993.
- SHAUGHNESSY, Tom; VELTE, Toby. Manual de cisco. Universidad de Castilla: Editorial Mc. Graw Hill. Traducción José Ignacio Sánchez, 2000.
- ADFINSON, David; QUAMME, Ken. Fundamentos de la tecnología de la información: Hardware y software del PC. Tercera edición. Networking academy: editorial Pearson educación S.A.
- ZAPATA CORREA, Juan Camilo. Sistema de Identificación y Ubicación de las diferentes cabinas de la línea K del metro de Medellín. Medellín, 2008. Trabajo de grado (Ingeniero electrónico). Institución Universitaria de Envigado. Facultad de Ingeniería. Ingeniería electrónica.
- GALLO URREA, Julián Esteban; HURTADO BEDOYA, Luis Norberto. Estudio de un Dispositivo de Monitoreo y Control de acceso con tecnología de identificación por radiofrecuencia para el sector hotelero. Medellín, 2010. Trabajo de grado (Ingenieros electrónicos). Institución Universitaria de Envigado. Facultad de Ingeniería. Ingeniería electrónica.

## ANEXO 1

# DISEÑO DE UN SISTEMA DE IDENTIFICACIÓN PARA LA COMUNIDAD DE LA INSTITUCIÓN UNIVERSITARIA DE ENVIGADO A TRAVÉS DE LAS TECNOLOGÍAS DE IDENTIFICACIÓN POR RADIO FRECUENCIA (RFID) EN COMBINACIÓN CON ALIMENTACIÓN A TRAVÉS DE LA RED ETHERNET (POE)

López Cano, Carlos. Quiróz Londoño, Leandro.  
fercho.lop@hotmail.com – ferdyleandro@hotmail.com  
Institución Universitaria de Envigado

**Resumen** La implementación de las TICS (tecnologías de la información y la comunicación) es una tendencia del mundo comercial, en la procura por realizar procesos más eficientes, ágiles y competitivos en mercados que demandan altos estándares de calidad y consumo masivo. RFID es una tecnología relativamente nueva que se ha tenido gran aceptación en el medio tecnológico por su capacidad para mejorar procesos de trazabilidad, producción y comercialización de productos así como para mejorar los mecanismos de seguridad y reconocimiento de personal y mercancía.

**Palabras Claves.** Identificación por radio frecuencia (RFID), Alimentación a través de Ethernet (POE), transceptor, transpondedor, Ethernet.

## 1. INTRODUCCIÓN

En la institución universitaria de envigado actualmente la labor de control de acceso en las porterías se hace usando como medio carnés en los cuales está impresa la información de cada individuo, con lo cual es necesario una persona que corrobore la veracidad de la información, además que supone un tiempo determinado para dicha autenticación, lo que en algunas horas del día ocasiona demoras en el ingreso así como la inconformidad de las personas.

Éste fenómeno vería necesario un método de identificación más eficiente y que ocupe una menor cantidad de tiempo en la identificación para optimizar el ingreso a la institución, y una alternativa factible para dicha problemática podría ser la tecnología RFID.

En este ámbito es posible formular un proyecto mediante el cual el reconocimiento y manejo de información se realice a través de la tecnología RFID aplicada a las condiciones analizadas en la institución universitaria de envigado.

## 2. OBJETIVO

Diseñar un sistema de reconocimiento de información personal en la Institución Universitaria de Envigado a través de la tecnología de Identificación por Radio Frecuencia (RFID) en combinación con la tecnología Power Over Ethernet (POE).

### 2.1. Objetivos Específicos

- Confrontar los parámetros de transmisión de la red Ethernet de la universidad con los protocolos de transmisión necesarios para los dispositivos de radiofrecuencia y tecnología POE.

- Diseñar un dispositivo de transmisión de datos desde una etiqueta RFID hacia la red Ethernet de la IUE.
- Adecuar las tecnologías RFID, Ethernet y POE para ser usadas en un sistema de reconocimiento de información personal, al ingreso de la IUE.

### 3. PLANTEAMIENTO DEL PROBLEMA

En la institución universitaria de Envigado actualmente la labor de identificación en las porterías se hace usando como medio carnés en los cuales está impresa la información de cada individuo, con lo cual es necesario una persona que corrobore la veracidad de la información, además que supone un tiempo determinado para dicha autenticación, lo que en algunas horas del día ocasiona demoras en el ingreso así como la inconformidad de las personas.

Éste fenómeno vería necesario un método de identificación más eficiente y que ocupe una menor cantidad de tiempo en la identificación para optimizar el ingreso a la institución, y una alternativa factible para dicha problemática podría ser la tecnología RFID.

En este ámbito es posible formular la siguiente pregunta.

¿Cómo efectuar un sistema de reconocimiento de información por medio de la Identificación por Radio Frecuencia (RFID) para que pueda ser utilizado en la Institución Universitaria de Envigado?

### 4. JUSTIFICACIÓN

RFID familia de la empresa Sancela Familia [ITC 07], además entidades comerciales de la ciudad de Medellín tales como el metro [MET 10] implementan sistemas de identificación por radiofrecuencia para agilizar los procesos de acceso a sus servicios y manejo de mercancía.

El propósito de esta investigación es el de diseñar un sistema de identificación por radio frecuencia (RFID) a través del cual se facilite el acceso de la comunidad estudiantil a las instalaciones del plantel, Un sistema de identificación con RFID ubicado en las porterías de la institución permitiría mejorar lo movilidad en las entradas ya que no sería necesario que cada individuo se detenga a buscar su carné ni que un vigilante este verificando la pertenencia de dicho documento a su portador, esto además permitiría disminuir la cantidad de personal necesario en cada portería para asegurar el cumplimiento de las normas, reduciendo de esta manera costos de NÓMINA para la institución.

### 5. METODOLOGÍA

Tipo de Proyecto: Desarrollo tecnológico con enfoque cuantitativo.

Diseño del plan de proyecto

**5.1. Gestión de Información:** Se recopilará información tanto de medios escritos como virtuales sobre la reglamentación y protocolos usados por la tecnología RFID, POE, Ethernet. Entre los medios escritos se encuentran las revistas de



fibra óptica y cables de par trenzado:

- 10 Mbps, Ethernet 10Base-T
- 100 Mbps Fast Ethernet
- 1000 Mbps, Gigabit Ethernet
- 10-Gigabit Ethernet

Otras tecnologías y protocolos han sido considerados como sustitutos posibles, pero el mercado ha hablado. Ethernet ha sobrevivido como la principal tecnología LAN (que se utiliza actualmente para aproximadamente el 85 por ciento de LAN conectados a los ordenadores del mundo y estaciones de trabajo) debido a que su protocolo tiene las siguientes características:

- Es fácil de comprender, implementar, administrar y mantener
- Permite a bajo coste implementaciones de red
- Proporciona una amplia flexibilidad para la instalación de la red topológica
- Garantiza la interconexión y operación exitosa de las normas que cumplen los productos, independientemente del fabricante

## 7.2. Elementos de red Ethernet

LAN Ethernet consiste en nodos de red y en los medios de interconexión. Los nodos de la red se dividen en dos clases principales:

- Equipo terminal de datos (DTE): Los dispositivos que son el origen o el destino de las tramas de datos. Los DTE son generalmente dispositivos tales como PCs, estaciones de trabajo, servidores de

archivos o servidores de impresión que, como grupo, están a menudo denominados estaciones finales.

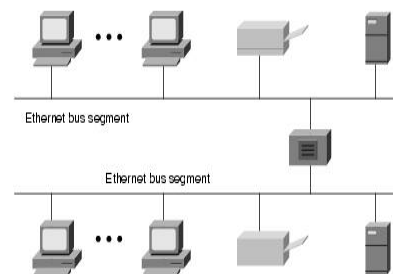
- La comunicación de datos (DCE): Dispositivos de red intermedios que reciben y envían tramas a través de la red. Los DCE pueden ser dispositivos autónomos, tales como repetidores, conmutadores de red y routers, o unidades de comunicaciones de interfaz, tales como tarjetas de interfaz y los módems.

Los actuales medios de comunicación de Ethernet incluyen dos tipos generales de cable de cobre: par trenzado sin blindaje (UTP) y par trenzado apantallado (STP), además de varios tipos de cable de fibra óptica.

## 7.3. Topologías de red Ethernet y Estructuras

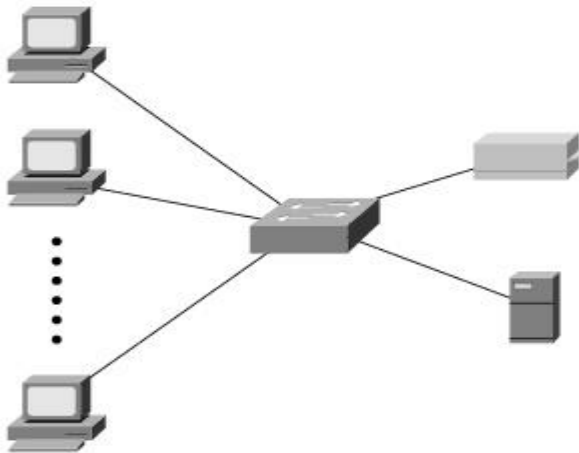


**Figura 2.**  
Interconexión punto a punto

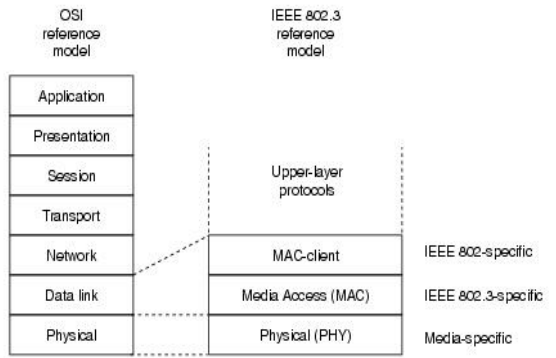


**Figura 3.**  
Interconexión en Bus





**Figura 4.**  
Interconexión en estrella



**Figura 5.**  
Relación lógica de Ethernet para el modelo de referencia OSI

## 8. RED ETHERNET IUE

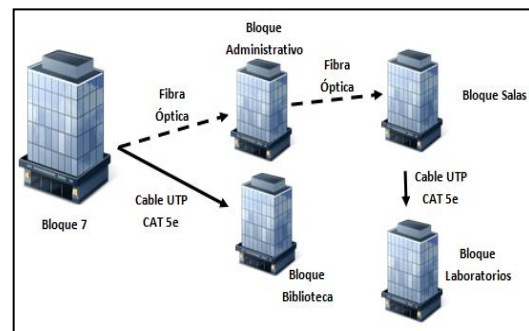
Luego de establecer las características, las diferencias y las potencialidades de las redes Ethernet y su configuración, la red Ethernet de la Institución Universitaria de Envigado no está desligada con la norma IEEE 802,3.

Actualmente la Institución Universitaria de Envigado cuenta con tres redes VLAN distribuidas por todo el Campus, una de Administración, otra Académica y otra

Inalámbrica.

Cuenta con un Distribuidor de Campus, que se localiza en el Bloque 7, donde está la planta principal de conexión de toda la red Ethernet de la Institución, en ella se cuenta con 4 Switches principales que distribuyen todo el servicio a las diferentes locaciones de la Institución.

Una primera distribución es al bloque Administrativo, que por medio de un enlace de fibra óptica llega a él, en este bloque está la planta telefónica y conecta por medio de 5 Switches a los bloques de Derecho, Biblioteca y Salas de Sistemas y de este existe un enlace por cable UTP categoría 5E hacia los Laboratorios de Ingeniería. En el bloque de Derecho se cuenta con 2 Switches, 1 Switch en la Biblioteca, 7 en las Salas de sistemas y uno en los Laboratorios. El enlace entre el bloque Administrativo y el de Derecho es realizado por medio de Fibra óptica y en cable UTP 5E a la Biblioteca. Ver Figura N° 6.



**Figura 6.**  
Distribución Red Administrativa IUE

Una segunda distribución es la que se ofrece desde el bloque 7 hacia el bloque de Investigación, enlace realizado por

medio de fibra óptica y en el cuál se cuenta un Switch. Ver Figura N° 7.



**Figura N° 7.**

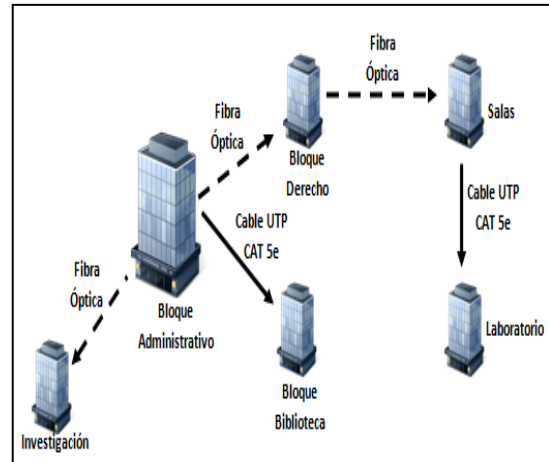
Conexión bloque Investigación

Una tercera distribución es la que se ofrece dentro del mismo bloque 7, donde existe una sala de sistemas, este enlace se realiza por medio de cable UTP y está sala cuenta con un Switch.

A futuro está planeada la distribución por medio de fibra óptica al bloque 10, fuera de la Institución.

Toda la institución cuenta con Switches Gigabit, pero todo el tendido actual de la red es Ethernet 10/100, utilizando la interconexión 10 Base T4, con una tasa de transmisión de 100Mbps. A futuro queda con la posibilidad de utilizar terminales y tarjetas de red 1000 Base T.

La distribución completa de la Institución en su red Ethernet es la que se ve en la figura N° 8.



**Figura N° 8.**

Distribución Red Ethernet IUE

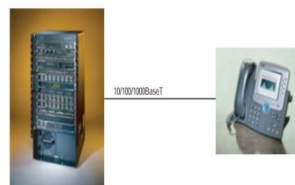
## 9. IEEE 802.3af POWER OVER ETHERNET

El estándar IEEE 802.3af-2003 Power over Ethernet estándar define la terminología para describir a un puerto que actúa como una fuente de energía (PSE) a un dispositivo alimentado (PD), la define como un dispositivo alimentado se detecta y se define también dos (2) métodos de entrega Power over Ethernet en el dispositivo descubierto potencia. IEEE 802.3af de alimentación pueden ser entregados con una capacidad Power over Ethernet puerto Ethernet, lo que se conoce como un PSE de punto final o por un PSE de alcance medio que pueden ser utilizados para entregar el Power over Ethernet en el caso de una ya existente sin motor por Ethernet switch Ethernet se utiliza.

El estándar IEEE 802.3af establece que el poder puede ser entregado por un PSE de punto final, ya sea utilizando los cables de datos de activos de un puerto Ethernet o los cables de repuesto, a un dispositivo

alimentado. Un punto final del PSE, como un interruptor de alimentación a través de Ethernet capaz de Ethernet, puede llevar a cabo cualquiera de los esquemas. Si un PSE la mitad del tramo se utiliza, entonces el PSE la mitad del tramo sólo puede implementar la entrega de potencia sobre los pares de repuesto del cableado de cobre y no pueden ser utilizados para entregar alimentación a través de Ethernet sobre conexiones 1000BASE-T. Cabe señalar que incluso si un dispositivo es compatible con ambos métodos de proporcionar alimentación, sólo un mecanismo puede ser utilizado para suministrar energía a un dispositivo accionado.

El estándar IEEE 802.3af establece que el poder puede ser entregado por un PSE de punto final, ya sea utilizando los cables de datos de activos de un puerto Ethernet o los cables de repuesto, a un dispositivo alimentado. Un punto final del PSE, como un interruptor de alimentación a través de Ethernet capaz de Ethernet, puede llevar a cabo cualquiera de los esquemas. Si un PSE la mitad del tramo se utiliza, entonces el PSE la mitad del tramo sólo puede implementar la entrega de potencia sobre los pares de repuesto del cableado de cobre y no pueden ser utilizados para entregar alimentación a través de Ethernet sobre conexiones 1000BASE-T. Cabe señalar que incluso si un dispositivo es compatible con ambos métodos de proporcionar alimentación, sólo un mecanismo puede ser utilizado para suministrar energía a un dispositivo accionado. Ver figura N° 9.



**Figura 9.**

Punto final del PSE alimentación a través de la entrega de Ethernet

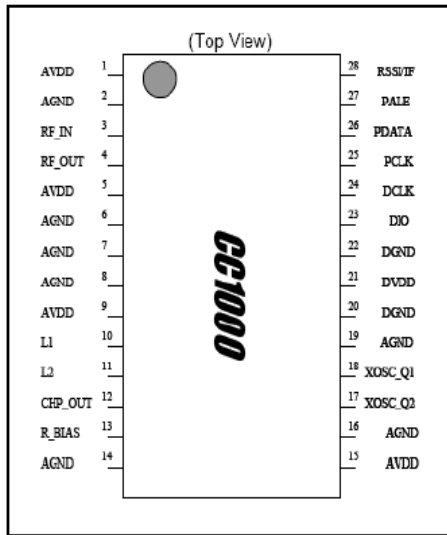
El primer mecanismo, que se apoya es el uso de los pares de datos (pines 1,2 y 3,6) para transmitir energía, lo que se refiere a veces como "fantasma" de energía. El mecanismo de entrega de potencia segunda es utilizar la parte no utilizada, desde una perspectiva 10/100BASE-T, los pares (pines 4,5 y 7,8) para entregar el poder que se apoya en la entrega de potencia de alcance medio.

## 10. CHIPCON CC1000

El Transceptor RF CC1000 de la marca CHIPCON, es el integrado que se utilizará, básicamente realiza la operación de transmisión y recepción de datos en la frecuencia de RF.

El CC1000 es un chip diseñado para aplicaciones de poca potencia y de pequeño voltaje. Está basado en la tecnología 0,35µm CMOS. Esta especialmente diseñado para sistemas que usan la modulación FSK y para operar en los rangos de frecuencia de ISM (Industrial, Scientific and Medical) y SRD (Short RangeMDevice), 315, 433, 868 y 915 MHz. Pero es fácilmente programable para operar en otras frecuencias, entre 300-1000 MHz. Es un chip que puede ser usado conjuntamente a un microcontrolador y pocos componentes externos pasivos, entre sus características principales destacan un

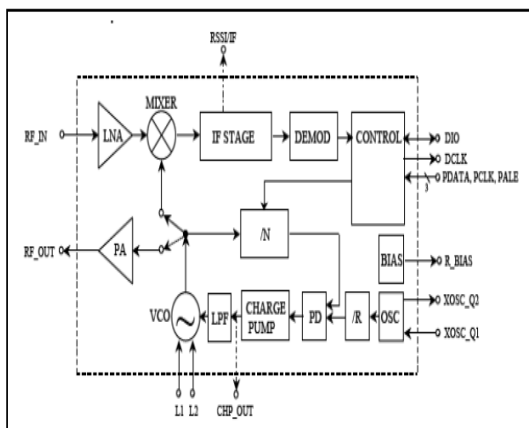
bajo consumo de corriente, una alta sensibilidad, operar con un bajo voltaje que hace posible su utilización con una pila (3 V), su pequeño tamaño, velocidades de transmisión superiores a 78,6 kbps. En la figura 31 se puede ver la distribución de pines del chip CC1000.



**Figura 10.**

Distribución de pines del chip CC1000.

### 10.1. Descripción del circuito



**Figura 11.**

Diagrama de bloques simplificados del CC1000.

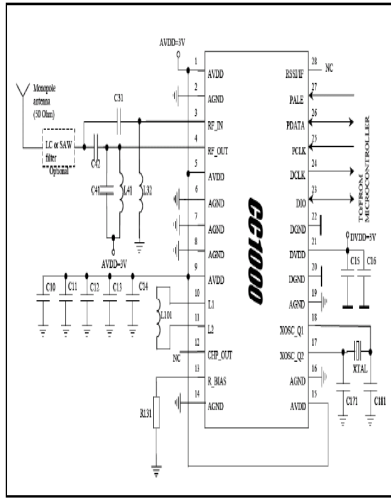
En modo recepción el CC1000 actúa como un receptor superheterodino tradicional. La señal RF de entrada es amplificada por el LNA (Low-Noise Amplification) y bajada de frecuencia por el mezclador que convierte la frecuencia Bde la señal de entrada a frecuencia intermedia (IF).

Después la señal es amplificada y filtrada antes de entrar en el demodulador.

Como una opción, existe la posibilidad de extraer la señal antes de ser enviada al de modulador por el pin RSSI/IF. Después de la demodulación los datos se extraen mediante el pin DIO. La sincronización se realiza en el chip mediante el pin DCLK. En el modo de transmisión la señal del VCO95 (Voltaje Controlled Oscillator) es amplificada por el PA (Power Amplification). La salida RF está modulada en FSK (Frequency ShiftKeyed) por el flujo de bits introducidos por el pin DIO.

El sintetizador de frecuencia genera la señal del oscilador local y es enviada al mezclador en modo de recepción y al amplificador de potencia (PA) en modo de transmisión. El sintetizador de frecuencia consiste en un oscilador de cristal (XOSC), detector de fase (PD), Chargepump, VCO y divisores de frecuencia (/R y /N). El cristal externo debe conectarse al XOSC, y solo se requiere un inductor externo para el VCO. El interfaz de tres entradas digitales (CONTROL) es usado para la configuración. Ver anexo 2.

Muy pocos componentes externos se requieren para la operación del CC1000. El circuito básico de aplicación se muestra en la Figura 12.



**Figura 12.**  
Circuito Básico de Operación del  
CC1000.

Los componentes C31/L32 actúan en la señal de entrada, C41, L41 y C42 se usan para transmitir a 50 $\Omega$ . Un switch interno T/R hace posible conectar conjuntamente la entrada y la salida del CC1000 a 50  $\Omega$  en ambos modos, de transmisión y recepción.

El VCO está completamente integrado excepto por el inductor L101. Los valores de los componentes externos y del inductor L101 son fácilmente calculados utilizando el software SmartRF® Studio de Chipcon para la programación del CC1000.

Componentes externos adicionales como LC-filter se pueden usar para mejorar el rendimiento en aplicaciones específicas.

De C10 a C16 son capacitores de acoplamiento de voltaje, estos capacitores deben ser ubicados lo más cerca posible a los pines de entrada de voltaje del CC1000.

## 10.2. Interfaz de configuración serie

Este chip ofrece la configuración de una interfaz de tres entradas/salidas (PDATA, PCLK y PALE). Hay 28 registros de 8 bits de datos cada uno y con 7 bits de direcciones. Un bit de Read/Write inicia la operación de lectura o de escritura. La configuración total del CC1000 requiere el envío de 22 tramas de 16 bits cada una (7 bits direcciones, un bit de lectura/escritura y 8 bits de datos).

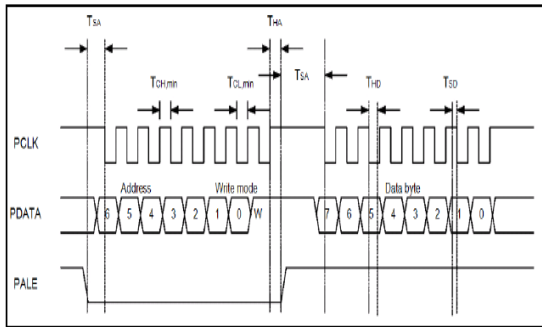
El tiempo necesario para la configuración total depende de la frecuencia de PCLK.

Por ejemplo para una frecuencia de 10 MHz, el tiempo sería menor a 46  $\mu$ s. La configuración del diseño del CC1000 en la operación de lectura (powerdownmode) requiere el envío de una única trama que se realiza en un tiempo inferior a 2  $\mu$ s para que todos los registros del chip sean leíbles, lo que permite una rápida lectura de datos de etiquetas cercanas.

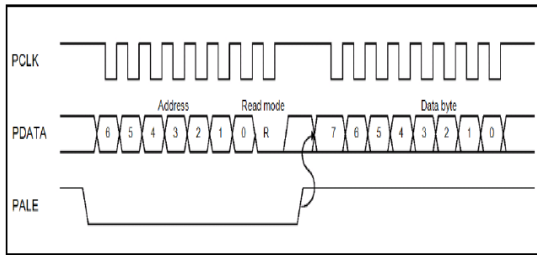
En cada ciclo de escritura 16 bits son enviados por la entrada de PDATA. Los siete bits más significativos (A6:A0) de cada trama son los bits de dirección, el bit A6 es el MSB (Most Significant Bit) es el primer bit enviado. El siguiente bit es el 105 bit de R/W, lectura/escritura, con nivel bajo si es lectura y con nivel alto si es escritura. Durante el envío de los bits de dirección y R/W la entrada PALE (Program Address Latch Enable) debe permanecer en nivel bajo. Se lo puede ver en la Figura 34. Los 8 bits siguientes (D8:D0) son los bits de datos.

El tiempo para la programación se muestra en la Figura 35. Los tiempos para escribir en el chip mediante la entrada PDATA se realizan cuando la señal

PCLK está en nivel bajo, en el momento que el último bit de datos D0 está cargado, la palabra de datos se carga en el registro con la dirección especificada. En la operación de lectura se accede a los registros por la misma interfaz, primero se envían los bits de la dirección de memoria y el bit R/W en nivel bajo, entonces se envían los bits de datos del registro con esa dirección de memoria.



**Figura 13.**  
Procedimiento de escritura



**Figura 14.**  
Procedimiento de lectura

### 10.3. Interfaz microcontrolador

Normalmente el CC1000 es usado con un microcontrolador que realiza las funciones de programar el chip en los diferentes modos mediante los tres pines entrada/salida de la configuración en serie (PDATA, PCLK y PALE). Además realiza funciones de interfaz bidireccional de la sincronización de la señal de datos

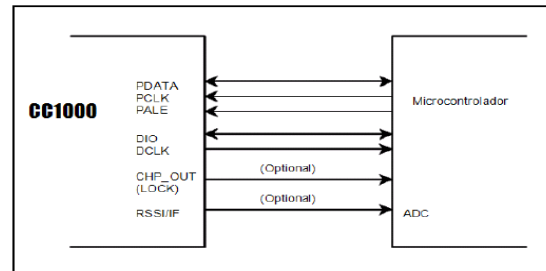
(DIO y DCLK). Opcionalmente puede realizar la codificación/decodificación de los datos.

Con el software SmartRF® Studio que proporciona Chipcon para la programación del CC1000, el usuario puede configurar los parámetros deseados según su necesidad, y enviarlos al microcontrolador.

El microcontrolador usa 3 pins de salida para configurar el interfaz (PDATA, PCLK y PALE). PDATA es un pin direccional de lectura de datos. Un pin bidireccional es usado para los datos (DIO) que serán transmitidos y recibidos. DCLK produce el tiempo que se conecta a la entrada del microprocesador. Los pines del microcontrolador conectados a PDATA y PCLK pueden ser utilizados con otros propósitos cuando el interfaz de la configuración no se usa (Ver figura 36). En la Tabla 2 se muestra los pines en el modo power down.

**Tabla 2.** Pines del CC1000 en el modo de lectura

Pin	Pin state	Note
PDATA	Input	Should be driven high or low
PCLK	Input	Should be driven high or low
PALE	Input with internal pull-up resistor	Should be driven high or high-impedance to minimize power consumption
DIO	Input	Should be driven high or low
DCLK	High-impedance output	

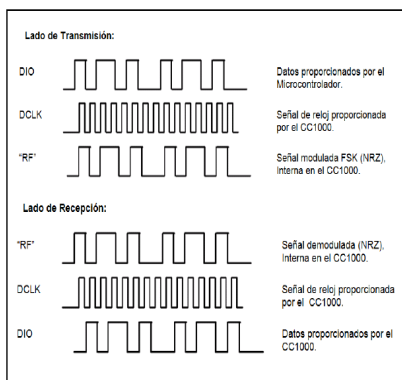


**Figura 15.**  
Interfaz con el microcontrolador

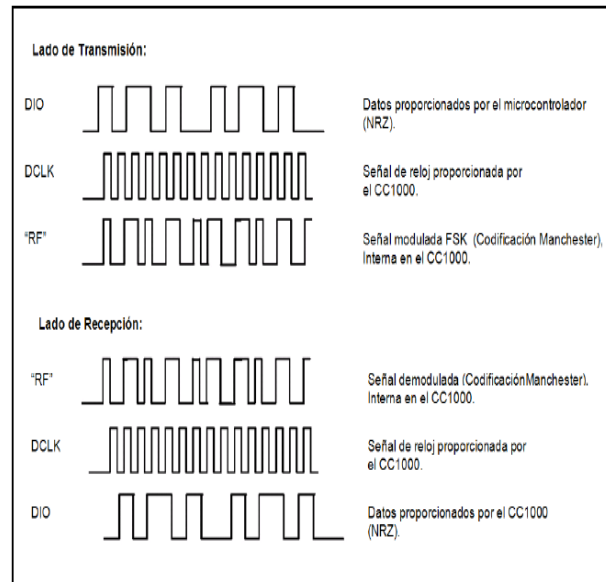
### 10.4. Interfaz de Señal

El interfaz de señal consiste en DIO y DCLK, y es usado para la transmisión y recepción de los datos. DIO es la línea bidireccional de datos y DCLK produce un reloj sincrónico durante la transmisión y recepción de datos. El CC1000 puede usar las codificaciones NRZ (Non-Return-to-Zero) o Manchester (Ver figuras 16 y 17). También puede sincronizar los datos desde el demodulador y proporcionar el reloj de los datos DCLK. Además se puede configurar de tres formatos de datos distintos, dos sincrónicos los modos NRZ y codificación Manchester y uno asincrónico transparente denominado UART (Ver figura 18):

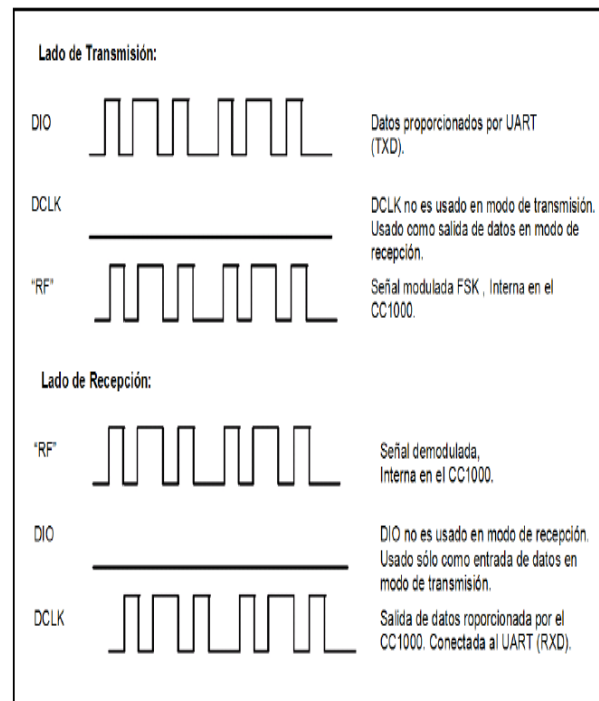
- Del modo sincrónico NRZ, en transmisión CC1000 produce el reloj de los datos en DCLK y DIO es usado como entrada de datos. Los datos son modulados en RF sin codificación. En el modo de recepción el CC1000 realiza la sincronización y produce el tiempo de reloj de los datos recibidos en DCLK y los datos en DIO.



**Figura 16.**  
Modo sincrónico NRZ.



**Figura 17.**  
Modo sincrónico codificación Manchester



**Figura 18.**  
Modo asincrónico transparente UART.

## 11. CONEXIÓN ETHERNET

### 11.1. Descripción

En esta etapa de desarrollo se empieza la implementación del sistema de transmisión por medio del protocolo Ethernet, para ello se utiliza un circuito formado por el controlador ENC28J60 de la familia Microchip, la cual es una solución para crear una interfaz de red con la que se puede controlar una aplicación de forma remota a través de una red Ethernet, ya sea mediante una página web, a través del envío de correos electrónicos para advertir de incidencias o por medio de una aplicación que acceda a una base de datos.

El ENC28J60 es un controlador independiente de Ethernet con un estándar de comunicación basado en SPI (Serial Peripheral Interface, Interfaz de periférico serial). Está diseñado para servir como interface de red Ethernet para cualquier controlador equipado con SPI.

El diseño del prototipo se desarrolló con el programa MikroC PRO for PIC, el cual incluye una biblioteca que está diseñada para simplificar el manejo del hardware subyacente (ENC28J60). Funciona con cualquier microcontrolador PIC con SPI integrado y más de 4 Kb de memoria ROM. Se recomienda 38 a 40 MHz de frecuencia en el reloj para obtener 8 a 10 MHz en el Reloj de SPI, de lo contrario el PIC debe ser ajustado a la salida del reloj del ENC28J60 debido a fallos en el hardware de silicio SPI. Si se trabaja con una menor velocidad de reloj en el PIC, podría haber desborde o perder algunas de las solicitudes.

El ENC28J60 es un controlador Ethernet dotado de un puerto SPI, especialmente diseñado para actuar como un puente entre una red Ethernet y un microcontrolador equipado con SPI. El ENC28J60 cumple con las especificaciones IEEE 802.3, e incorpora una serie de esquemas de filtrado de paquetes para limitar el número de paquetes entrantes. También provee un módulo DMA interno para facilitar el flujo de datos y hardware específico para el cálculo de las sumas de control (IP checksums). La comunicación con el microcontrolador que hace las veces de host se realizan mediante el bus SPI a una velocidad de hasta 10Mb/s y dos pines especiales capaces de provocar interrupciones en el ENC28J60. Otros dos pines pueden utilizarse para manejar LEDs que indiquen la conexión y la actividad de la red.

Importante:

- Debido a las limitaciones de memoria RAM de los PIC16, la biblioteca PIC16 no tiene ARP, DNS, UDP ni el apoyo de implementaciones para clientes DHCP.
- La variable global SPI\_Ethernet\_user Timer Sec de la biblioteca se utiliza para controlar el tiempo para todas las implementaciones de los clientes (ARP, DNS, DHCP y UDP). Es responsabilidad del usuario incrementar esta variable cada segundo en su código, si cualquiera de estos clientes se utiliza.
- Para los usuarios avanzados, existen ficheros de cabecera ("\_\_EthEnc28j60.h" y "\_\_EthEnc28j60Private.h") los cuales son para uso de PICs P16XX y P18XX. Estos utilizan carpetas del compilador con la descripción de todas las rutinas y



variables globales, las cuales son relevantes para el usuario, y estos son implementados en la biblioteca del SPI Ethernet ENC28J60.

- El hardware adecuado del módulo SPI debe ser inicializado antes de usar cualquiera de las rutinas del SPI Ethernet ENC28J60. Consulte la Biblioteca SPI.

- Para PICs con dos módulos SPI es posible inicializar ambos y luego intercambiarlos usando la rutina SPI\_Set\_Active ().

## 11.2. Programa desarrollado en MikroC for PIC

El circuito presentado a continuación, será capaz de responder a peticiones de eco ICMP y ARP, también responderá a las peticiones HTML en el puerto 80, con el método GET para el envío de datos, estos datos se enviará a una aplicación web, donde se tratará la información obtenida. (Ésta aplicación web podría ser una futura implementación del diseño propuesto, donde se podría consultar en una base de datos la información adquirida por medio del CC1000, y confrontarla para permitir realizar labores de identificación y manejo del flujo de personas y carros).

A continuación se encontrará el código para programar el PIC en el modo de comunicación Ethernet, donde se aprecian los aspectos más importantes de la configuración y la utilización de las rutinas y librerías que se tienen a disposición con el programa MikroC for PIC.

La primera parte es la configuración de los parámetros iniciales, donde se incluye el archivo EthEnc28j60.h, el cual debe estar en la carpeta del proyecto para que

pueda funcionar la comunicación Ethernet, además de definir los puertos a usar.

```
#include "__EthEnc28j60.h"
#define Spi_Ethernet_HALFDUPLEX
0x00 // half duplex
#define Spi_Ethernet_FULLDUPLEX
0x01 // full duplex
sfr sbit SPI_Ethernet_Rst at RC0_bit;
sfr sbit SPI_Ethernet_CS at RC1_bit;
sfr sbit SPI_Ethernet_Rst_Direction at
TRISCO_bit;
sfr sbit SPI_Ethernet_CS_Direction at
TRISC1_bit;
```

Se definen las cadenas de constantes, entre ellas la cabecera de la página, el tipo de caracteres que se usarán en la página, el método para enviar los datos.

```
const unsigned char httpHeader[] =
"HTTP/1.1 200 OKnContent-type: ";
const unsigned char
httpMimeTypeHTML[] = "text/htmlnn";
const unsigned char
httpMimeTypeScript[] = "text/plainnn";
unsigned char httpMethod[] = "GET /";
```

En el valor IndexPage se coloca el código en HTML de la página principal de la aplicación. Este campo estará vacío, ya que supone de la creación de una aplicación web que trabaje con los datos del CC1000. Es de mencionar que el valor con el código supera la capacidad de 8 bits, con lo cual se puede crear otro valor, por ejemplo indexPage2, el cual puede contener el resto del código.

```
const char *indexPage =
```

Se definen los valores del hardware y de la arquitectura del ethernet

```

unsigned char  myMacAddr[6] = {0x00,
0x14, 0xA5, 0x76, 0x19, 0x3f}; // MAC
address
unsigned char  myIpAddr[4]  = {192,
168, 20, 60}; // IP
address
unsigned char  getRequest[15] ;
// HTTP request
buffer
unsigned char  dyna[30] ;
// buffer for dynamic
response
unsigned long  httpCounter = 0 ;
// counter of HTTP
requests

#define          putConstString
SPI_Ethernet_putConstString
#define          putString
SPI_Ethernet_putString

```

Esta función es llamada por la biblioteca que el usuario acceda a la solicitud HTTP mediante llamadas sucesivas a Spi\_Ethernet\_getByte (), se colocan los datos en el búfer de transmisión de llamadas sucesivas a Spi\_Ethernet\_putByte () y la función debe devolver la longitud en bytes de la respuesta HTTP, o 0 si no hay nada para transmitir.

```

unsigned          int
SPI_Ethernet_UserTCP(unsigned char
*remoteHost, unsigned int remotePort,
unsigned int localPort, unsigned int
reqLength, TEthPktFlags *flags)
{
    unsigned int  len = 0 ; //
my reply length
    unsigned int  i ; //
general purpose integer
    if(localPort != 80) // I
listen only to web request on port 80
    {

```

```

return(0) ;
}

```

Para obtener los 10 primeros bytes de la solicitud, el resto serán descartados:

```

for(i = 0 ; i < 10 ; i++)
{
    getRequest[i] =
SPI_Ethernet_getByte() ;
}
getRequest[i] = 0 ;

```

Software de configuración para la transmisión de datos.

Una de las etapas más importantes en la formulación del diseño consiste en realizar la formulación del software de control que permita la integración de las tecnologías estipuladas en las etapas anteriores. Como primera necesidad y ante la decisión de incluir en el diseño la utilización de los integrados CC1000 para realizar la transmisión de las señales por radiofrecuencia, fue necesario realizar un software que permitiera programar los mismos a través de una interfaz serial con el envío de una serie de tramas lógicas de pulsos desde los puertos de un micro controlador. Las tramas de bits necesarias para la correcta programación de los CC1000 así como los componentes electrónicos necesarios para la implementación de los mismos a la frecuencia deseada, fueron posibles de calcular gracias a la utilización del SmartRF® Studio , un software libre suministrado por la compañía Texas Instruments como un medio para que sus clientes puedan realizar la correcta implementación de los componentes fabricados por ellos y que requieran este tipo de programación especial.

Así, con la ayuda del smartRF studio se obtuvieron los siguientes parámetros de programación.

```
unsigned short MAIN0= 0X00;
unsigned short FREQ_0A= 0X00;
unsigned short FREQ_1A= 0X40;
unsigned short FREQ_2A= 0X4D;
unsigned short FREQ_0B= 0X5F;
unsigned short FREQ_1B= 0X3C;
unsigned short FREQ_2B= 0X46;
unsigned short FSEP0= 0XD2;
unsigned short FSEP1= 0X02;
unsigned short CURRENT= 0X81;
unsigned short FRONT_END= 0X10;
unsigned short PA_POW= 0XFF;
unsigned short PLL= 0X50;
unsigned short LOCK= 0X00;
unsigned short CAL= 0X26;
unsigned short MODEM2= 0XB7;
unsigned short MODEM1= 0X6F;
unsigned short MODEM0= 0X54;
unsigned short MATCH= 0X70;
unsigned short FSCTRL= 0X01;
unsigned short PRESCALER= 0X00;
unsigned short TEST6= 0X10;
unsigned short TEST5= 0X08;
unsigned short TEST4= 0X3F;
unsigned short TEST3= 0X04;
unsigned short TEST2= 0X00;
unsigned short TEST1= 0X00;
unsigned short TEST0= 0X00;
```

La declaración de los parámetros como variables, corresponde a su implementación dentro del software de control para la transmisión en lenguaje C, a través del compilador mikro C PRO for PIC v.4.60.0.0.

Debido a las características de configuración del CC1000, era necesario realizar una programación serial, de manera que los parámetros fueran transmitidos bit por bit a través de al

menos uno de los puertos de un PIC, contando así con las siguientes salidas:

```
PCLK= PUERTO RB2.
PDATA= PUERTO RB3.
PALE= PUERTO RB4.
```

Una vez realizada la programación del CC1000 era posible realizar una transmisión de la información deseada a través del trabajo conjunto entre el CC1000 y el micro controlador (PIC); esto es, debido a que la información se debe enviar a través del PIC hacia el CC1000, que es el dispositivo encargado de irradiar la información en forma de ondas de radio. Este proceso de interacción entre el CC1000 y el PIC de igual manera demandan una transmisión serial así como la utilización en este caso de dos salidas del PIC, siendo en este caso la configuración de la siguiente manera:

```
DCLK = PUERTO RC3.
DIO = PUERTO RC5.
```

En este caso, para simplificar el diseño del algoritmo se opta por utilizar el protocolo SPI, el cual permite realizar la transmisión serial, sujeta al reloj de configuración de la librería implícita en la implementación del mismo en el lenguaje C. De esta manera el algoritmo para llevar a cabo esta labor fue el siguiente:

```
TRISC=(16); // Configuración del
puerto C para trabajar el spi
SPI1_Init();
cnt=0;
Keypad_init();
ANSEL = 0;
ANSELH = 0;
Lcd_Init();
Lcd_Cmd(_LCD_CURSOR_OFF);
```

```

Lcd_Cmd(_LCD_CLEAR);
Lcd_Out(1,1,"Bocina: ");
Lcd_Out(2,1,"Times: ");

do{
if(cnt1>2){
kp1=0;
kp=0;
cnt1=0;
cnt=0;
Lcd_out(1,10,"Error");
Delay_ms(200);
Lcd_cmd(_LCD_CLEAR);
Lcd_Out(1,1,"Bocina: ");
Lcd_Out(2,1,"Times: ");
}
else{
kp2=kp1;
kp1=kp;
kp=0;
do
kp=KeyPad_Key_Click();
while(!kp);

switch(kp){
//case 10:kp=42;break;
//case 11:kp=48;break;

```

Software de configuración para la Recepción de datos.

Una de las principales ventajas que la inclusión del CC1000 en el diseño ofrece, es la facilidad de programación del mismo, en términos de la realización del software para la interacción entre el micro controlador (PIC) y el CC1000; esto debido a que la transmisión de parámetros de configuración tanto en transmisión como en recepción se realizan de la misma manera y gracias a ello las diferencias entre un programa y el otro no son tan significativas.

Una vez realizada la programación del CC1000 este está en capacidad de recibir la información que se transmita en la misma frecuencia para la que fue configurado, además una vez recibida es enviada al micro controlador (PIC) a través de la compuerta DIO y su respectivo reloj. Este proceso de interacción entre el CC1000 y el PIC de igual manera demandan una transmisión serial así como la utilización en este caso de dos entradas del PIC, siendo en este caso la configuración de la siguiente manera:

```

DCLK = PUERTO RC3.
DIO = PUERTO RC4.

```

Para conservar los principios de comunicación establecidos en el algoritmo de transmisión, se optó por utilizar el protocolo SPI también en el receptor para interpretar la información recibida, así gracias a la configuración de la librería del SPI en el lenguaje C el algoritmo para llevar a cabo esta labor fue el siguiente:

```

TRISA=(255);
TRISC=(223);
TRISB=(0);
PORTB = 0;

SPI1_Init_Advanced(_SPI_SLAVE_SS_
ENABLE,
_SPI_DATA_SAMPLE_MIDDLE,
_SPI_CLK_IDLE_LOW,
_SPI_LOW_2_HIGH);
do {
if(SPI1_Read(dato)==52)
PORTB=1;
delay_ms(2000);
PORTB=0;
if(SPI1_Read(dato)==53)
PORTB=2;

```

```

    delay_ms(2000);
    PORTB=0;
}
while(1);
}

```

La simplicidad del código revela no sólo la efectividad de implementar el protocolo SPI, sino que además deja en evidencia el hecho de que no se implementó un sistema de codificación de la información, únicamente se utilizaron dos códigos de prueba sin encriptación de ninguna clase, esto no sólo con el fin de hacer más fácil su manejo, sino para dejar abiertas las posibilidades ante una implementación con normas estándar de RFID independientemente de la familia de tarjetas o Tags que se deseen utilizar.

NOTA: el código expuesto en este segmento se encuentra incompleto por motivos de confidencialidad.

## **12. COMUNICACIÓN BAJO PROTOCOLOS RFID.**

Para realizar la comunicación a través de radio frecuencia, se decidió utilizar los dispositivos CC1000, integrados fabricados por la empresa Texas Instruments, una reconocida compañía del sector de la electrónica, que son capaces de ser programados para irradiar información a diferentes rangos de frecuencia a través de la interfaz serial con un micro controlador (PIC). La decisión de incluirlos en el diseño se debió a su facilidad para operar a casi cualquier rango de frecuencia estándar bajo protocolos RFID, lo que posibilita la opción de tener un mayor número de posibilidades ante una posible implementación futura. Adicional a ello los CC1000 son dispositivos de costo

bajo así como su implementación general, debido a los componentes básicos que su modo de trabajo requieren.

La facilidad de implementación del CC1000 no radica sólo en su capacidad para ser programado a diferentes frecuencias, sino a la gran cantidad de información disponible sobre el mismo, así como a la posibilidad de ajustarlo a la necesidad existente a través del smartRF studio, un software libre facilitado por Texas Instruments a través de su página web, que brinda todos los parámetros necesarios para diseños que incluyan este dispositivo, tanto en términos de hardware como de software; esto resulto muy práctico ya que con la combinación de la información obtenida en la web, los parámetros obtenidos con el smartRF studio y las necesidades inicialmente detectadas, fue posible realizar un primer diseño, así como la respectiva simulación del mismo.

Para comprobar la efectividad del diseño se estableció y ejecuto un proceso que permitiera confrontar lo calculado versus lo real, de la siguiente manera.

En primera instancia la simulación nos permitió corroborar la información transmitida por el PIC, determinando de esta manera una correcta correspondencia entre lo estipulado en la realización del algoritmo y la implementación del mismo a través de un PIC 16F887, así como también el correcto funcionamiento al implementar el protocolo SPI en ambos PIC.

## **CONCLUSIONES**

Con la implementación de este sistema, la carga de trabajo pesado y el error humano causado por la operación manual, se elimina completamente, lo que facilita

enormemente el control del flujo de personas y carros, mejorando el rendimiento en las entradas a la universidad.

Con el sistema automático que utiliza la información recogida mediante las tarjetas RFID, se tiene un control centralizado y en tiempo real para la circulación de vehículos y personas dentro de la ciudadela universitaria. Toda esta operación proporciona información precisa para implementar futuras aplicaciones que lleven a la identificación plena de patrones de flujo y circulación con lo que se desarrollarían aplicaciones automáticas que permitan eliminar este control por parte del personal de seguridad, dejándoles más tiempo libre para dedicarse a las tareas más pertinentes de su labor.

Éste sistema de control permite un ahorro de costos, ya que al eliminar el factor humano en los sistemas de control del flujo de vehículos y personas, o reduciendo considerablemente su labor, no será necesaria la contratación de un gran personal para cumplir con este fin, con lo que los costos de implementación de esta nueva tecnología se verán recuperados al cabo de unos pocos meses. Lo que a largo plazo será un ahorro significativo de dinero.

El acceso no se limita a las instalaciones físicas del sistema, ya que al tener conexión Ethernet, se puede tener acceso a los controles desde internet con un navegador estándar, es decir, desde cualquier parte del mundo, todo esto con la creación de aplicaciones que integren sistemas de seguridad para restringir el acceso.

Los Tags RFID pueden aplicarse en situaciones prácticamente inimaginables, obteniendo los datos en tiempo real allí dónde se producen y cuando se producen.

#### REFERENCIAS

- [1] Intermec Technologies Corporation, oficinas centrales Newport Beach, California. Derechos de producción © 2007. [http://www.intermec.com/public-files/casestudies/mx/csFamiliaSancela\\_MX.pdf](http://www.intermec.com/public-files/casestudies/mx/csFamiliaSancela_MX.pdf).
- [2] Metro de Medellín, portal virtual [http://www.metrodemedellin.gov.co/index.php?option=com\\_content&view=article&id=99](http://www.metrodemedellin.gov.co/index.php?option=com_content&view=article&id=99)
- [3] Sistema de Identificación y Ubicación de las diferentes cabinas de la línea K del metro de Medellín, Juan Camilo Zapata Correa. Trabajo de grado, Facultad de Ingeniería, institución Universitaria de Envigado.
- [4] Estudio de un Dispositivo de Monitoreo y Control de acceso con tecnología de identificación por radiofrecuencia para el sector hotelero. Julián Esteban Gallo Urrea, Luis Norberto Hurtado Bedoya. Trabajo de grado, Facultad de Ingeniería, institución Universitaria de Envigado.
- [5] PALLÁS ARENY, Ramón. Adquisición y distribución de señales. Universidad politécnica de Cataluña: Editorial Marcombo, ediciones técnicas 1993.
- [6] SHAUGHNESSY, Tom; VELTE, Toby. Manual de cisco. Universidad de Castilla: Editorial Mc. Graw Hill. Traducción José Ignacio Sánchez, 2000.
- [7] ADFINSON, David; QUAMME, Ken. Fundamentos de la tecnología de la información: Hardware y software del PC. Tercera edición. Networking academy: editorial Pearson educación S.A.

#### Autores

Ferdy Leandro Quiroz Londoño.  
Estudiante de Ingeniería Electrónica  
Institución Universitaria de Envigado  
2012

Carlos Fernando López Cano.  
Estudiante de Ingeniería Electrónica  
Institución Universitaria de Envigado  
2012

## ANEXO 2

### CC1000

#### Single Chip Very Low Power RF Transceiver

#### Applications

- *Very low power UHF wireless data transmitters and receivers*
- *315 / 433 / 868 and 915 MHz ISM/SRD band systems*
- *RKE – Two-way Remote Keyless Entry*
- *Home automation*
- *Wireless alarm and security systems*
- *AMR – Automatic Meter Reading*
- *Low power telemetry*
- *Toys*

#### Product Description

CC1000 is a true single-chip UHF transceiver designed for very low power and very low voltage wireless applications. The circuit is mainly intended for the ISM (Industrial, Scientific and Medical) and SRD (Short Range Device) frequency bands at 315, 433, 868 and 915 MHz, but can easily be programmed for operation at other frequencies in the 300-1000 MHz range.

The main operating parameters of CC1000 can be programmed via an easy to interface serial bus, thus making CC1000 a very flexible and easy to use transceiver.

In a typical system CC1000 will be used together with a microcontroller and a few external passive components.

CC1000 is based on Chipcon's SmartRF® technology in 0.35 µm CMOS.

#### Features

- True single chip UHF RF transceiver
- Very low current consumption
- Frequency range 300 – 1000 MHz
- Integrated bit synchroniser
- High sensitivity (typical -110 dBm at 2.4 kBaud)
- Programmable output power –20 to 10 dBm
- Small size (TSSOP-28 package)
- Low supply voltage (2.1 V to 3.6 V)
- Very few external components required
- No external RF switch / IF filter required
- RSSI output
- Single port antenna connection
- FSK data rate up to 76.8 kBaud

- Complies with EN 300 220 and FCC CFR47 part 15
- FSK modulation spectrum shaping
- Programmable frequency in 250 Hz steps makes crystal temperature drift compensation possible without TCXO
- Suitable for frequency hopping protocols
- Development kit available
- Easy-to-use software for generating the CC1000 configuration data

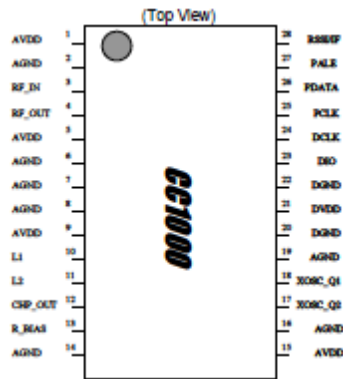
CC1000 is based on Chipcon's SmartRF® technology in 0.35µm CMOS.



## Pin Assignment

Pin no.	Pin name	Pin type	Description
1	AVDD	Power (A)	Power supply (3 V) for analog modules (mixer and IF)
2	AGND	Ground (A)	Ground connection (0 V) for analog modules (mixer and IF)
3	RF_IN	RF input	RF signal input from antenna
4	RF_OUT	RF output	RF signal output to antenna
5	AVDD	Power (A)	Power supply (3 V) for analog modules (LNA and PA)
6	AGND	Ground (A)	Ground connection (0 V) for analog modules (LNA and PA)
7	AGND	Ground (A)	Ground connection (0 V) for analog modules (PA)
8	AGND	Ground (A)	Ground connection (0 V) for analog modules (VCO and prescaler)
9	AVDD	Power (A)	Power supply (3 V) for analog modules (VCO and prescaler)
10	L1	Analog input	Connection no 1 for external VCO tank inductor
11	L2	Analog input	Connection no 2 for external VCO tank inductor
12	CHP_OUT (LOCK)	Analog output	Charge pump current output The pin can also be used as PLL Lock indicator. Output is high when PLL is in lock.
13	R_BIAS	Analog output	Connection for external precision bias resistor (82 kΩ, ± 1%)
14	AGND	Ground (A)	Ground connection (0 V) for analog modules (backplane)
15	AVDD	Power (A)	Power supply (3 V) for analog modules (general)
16	AGND	Ground (A)	Ground connection (0 V) for analog modules (general)
17	XOSC_Q2	Analog output	Crystal pin 2
18	XOSC_Q1	Analog input	Crystal pin 1, or external clock input
19	AGND	Ground (A)	Ground connection (0 V) for analog modules (guard)
20	DGND	Ground (D)	Ground connection (0 V) for digital modules (substrate)
21	DVDD	Power (D)	Power supply (3 V) for digital modules
22	DGND	Ground (D)	Ground connection (0 V) for digital modules
23	DIO	Digital input/output	Data input/output. Data input in transmit mode. Data output in receive mode
24	DCLK	Digital output	Data clock for data in both receive and transmit mode
25	PCLK	Digital input	Programming clock for 3-wire bus
26	PDATA	Digital input/output	Programming data for 3-wire bus. Programming data input for write operation, programming data output for read operation
27	PALE	Digital input	Programming address latch enable for 3-wire bus. Internal pull-up
28	RSSI/IF	Analog output	The pin can be used as RSSI or 10.7 MHz IF output to optional external IF and demodulator. If not used, the pin should be left open (not connected).





**Circuit Description**

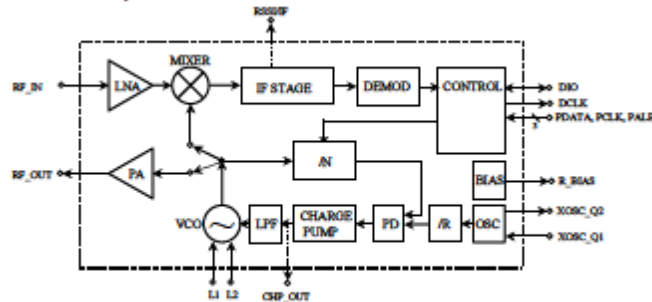


Figure 1. Simplified block diagram of the CC1000

A simplified block diagram of CC1000 is shown in Figure 1. Only signal pins are shown. In receive mode CC1000 is configured as a traditional superheterodyne receiver. The RF input signal is amplified by the lownoise amplifier (LNA) and converted down to the intermediate frequency (IF) by the mixer (MIXER). In the intermediate frequency stage (IF STAGE) this downconverted signal is amplified and filtered before being fed to the demodulator (DEMOD). As an option a RSSI signal, or the IF signal after the mixer is available at the RSSI/IF pin. After demodulation CC1000 outputs the digital demodulated data on the pin DIO.

Synchronisation is done on-chip providing data clock at DCLK.

In transmit mode the voltage controlled oscillator (VCO) output signal is fed directly to the power amplifier (PA). The RF output is frequency shift keyed (FSK) by the digital bit stream fed to the pin DIO. The internal T/R switch circuitry makes the antenna interface and matching very easy.

The frequency synthesiser generates the local oscillator signal which is fed to the MIXER in receive mode and to the PA in transmit mode. The frequency synthesizer consists of a crystal oscillator (XOSC), phase detector (PD), charge pump (CHARGE PUMP), VCO, and frequency dividers (/R and /N). An external crystal must be connected to XOSC, and only an external inductor is required for the VCO.

The 3-wire digital serial interface (CONTROL) is used for configuration.

**Application Circuit**

Very few external components are required for the operation of CC1000. A typical application circuit is shown in Figure 2. Component values are shown in Table 1. Input / output matching C31/L32 is the input match for the receiver, and L32 is also a DC choke for biasing. C41, L41 and C42 are used to match the transmitter to 50 Ohm. An internal T/R switch circuit makes it possible to connect the input and output together and match the CC1000 to 50  $\Omega$  in both RX and TX mode. See “Input/output matching” p.28 for details.

#### VCO inductor

The VCO is completely integrated except for the inductor L101.

Component values for the matching network and VCO inductor are easily calculated using the SmartRF Studio software.

#### Additional filtering

Additional external components (e.g. RF

LC or SAW-filter) may be used in order to improve the performance in specific applications. See also “Optional LC filter” p.34 for further information.

#### Voltage supply decoupling

C10-C16 are voltage supply de-coupling capacitors. These capacitors should be placed as close as possible to the voltage supply pins of CC1000.

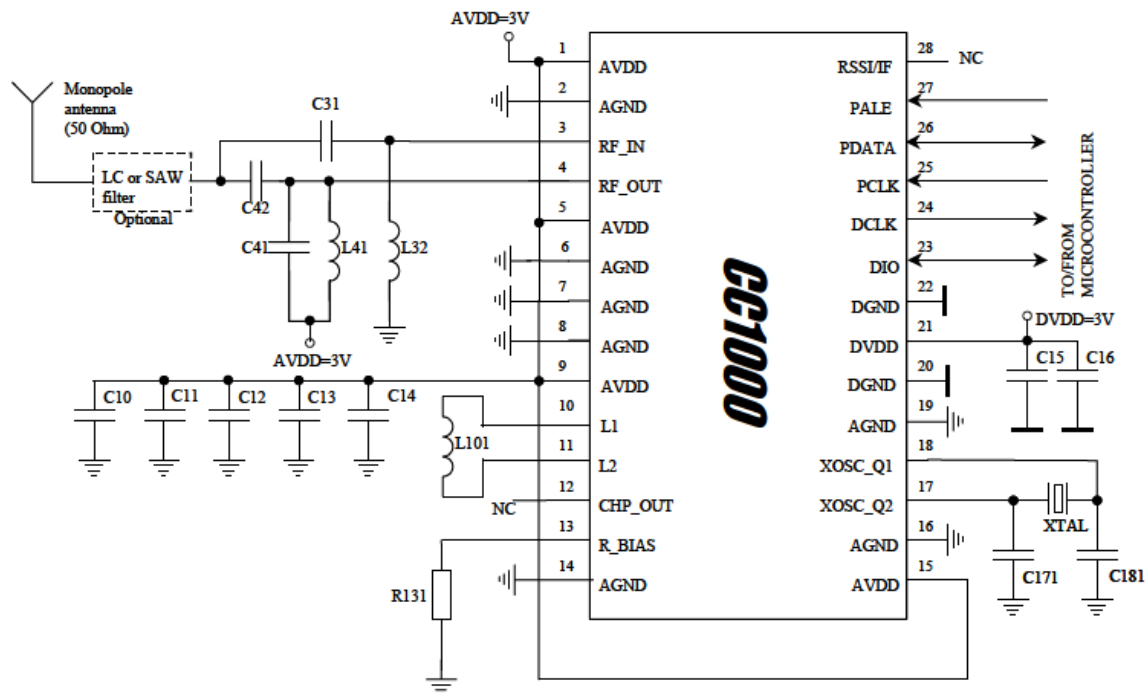


Figure 2. Typical **CC1000** application circuit

## Configuration Overview

CC1000 can be configured to achieve the best performance for different applications.

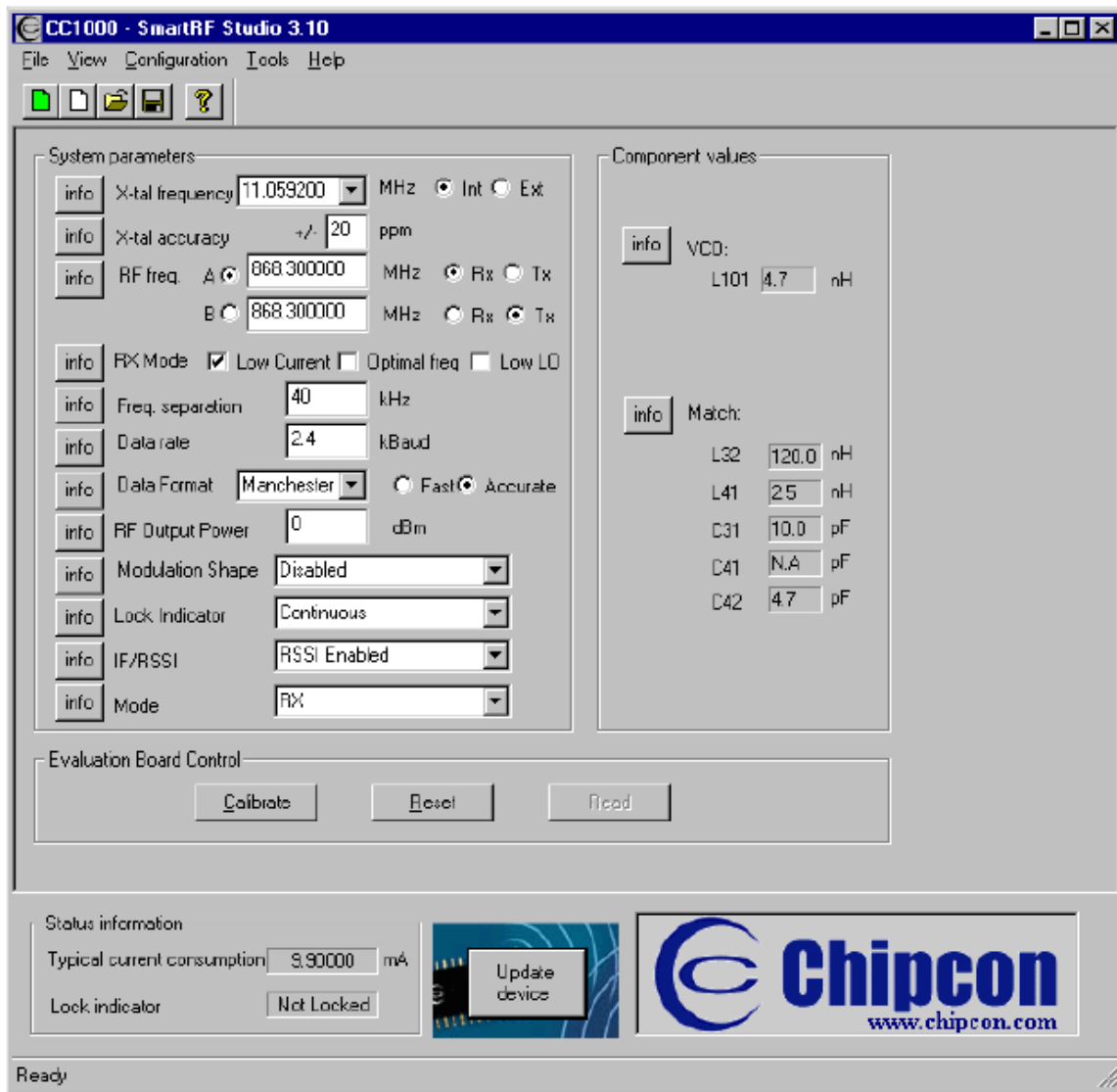
Through the programmable configuration registers the following key parameters can be programmed:

- Receive / transmit mode
- RF output power
- Frequency synthesiser key parameters:  
RF output frequency, FSK frequency separation (deviation), crystal oscillator reference frequency
- Power-down / power-up mode
- Crystal oscillator power-up / power down
- Data rate and data format (NRZ, Manchester coded or UART interface)
- Synthesiser lock indicator mode
- Optional RSSI or external IF

#### Configuration Software

Chipcon provides users of CC1000 with a software program, SmartRF Studio (Windows interface) that generates all necessary CC1000 configuration data based on the user's selections of various parameters. These hexadecimal numbers will then be the necessary input to the microcontroller for the configuration of CC1000. In addition the program will provide the user with the component values needed for the input/output matching circuit and the VCO inductor.

Figure 3 shows the user interface of the CC1000 configuration software.



**Figure 3. SmartRF Studio user interface**

**3-wire Serial Configuration Interface** CC1000 is configured via a simple 3-wire interface (PDATA, PCLK and PALE).

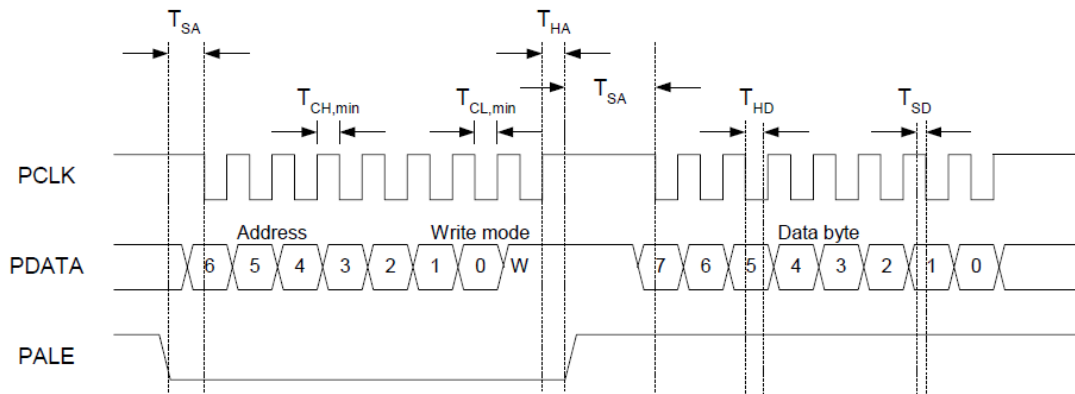
There are 36 8-bit configuration registers, each addressed by a 7-bit address. A Read/Write bit initiates a read or write operation. A full configuration of CC1000 requires sending 29 data frames of 16 bits each (7 address bits, R/W bit and 8 data bits). The time needed for a full configuration depend on the PCLK frequency. With a PCLK frequency of 10

MHz the full configuration is done in less than 60  $\mu$ s. Setting the device in power down mode requires sending one frame only and will in this case take less than 2  $\mu$ s. All registers are also readable.

In each write-cycle 16 bits are sent on the PDATA-line. The seven most significant bits of each data frame ( $A6:0$ ) are the address-bits.  $A6$  is the MSB (Most Significant Bit) of the address and is sent as the first bit. The next bit is the R/W bit (high for write, low for read). During address and R/W bit transfer the PALE (Program Address Latch Enable) must be kept low. The 8 data-bits are then transferred ( $D7:0$ ). See Figure 4. The timing for the programming is also shown in Figure 4 with reference to Table 2. The clocking of the data on PDATA is done on the negative edge of PCLK. When the last bit,  $D0$ , of the 8 data-bits has been loaded, the data word is loaded in the internal configuration register.

The configuration data is stored in internal RAM. The data is retained during powerdown mode, but not when the powersupply is turned off. The registers can be programmed in any order.

The configuration registers can also be read by the microcontroller via the same configuration interface. The seven address bits are sent first, then the R/W bit set low to initiate the data read back. CC1000 then returns the data from the addressed register. PDATA is in this case used as an output and must be tri-stated (or set high in the case of an open collector pin) by the microcontroller during the data read-back ( $D7:0$ ). The read operation is illustrated in Figure 5.



**Figure 4. Configuration registers write operation**

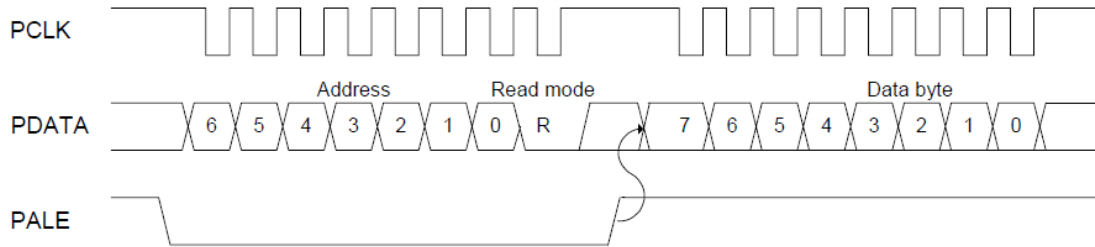


Figure 5. Configuration registers read operation

Parameter	Symbol	Min	Max	Units	Conditions
PCLK, clock frequency	$F_{\text{Clock}}$	-	10	MHz	
PCLK low pulse duration	$T_{\text{CL,min}}$	50		ns	The minimum time PCLK must be low.
PCLK high pulse duration	$T_{\text{CH,min}}$	50		ns	The minimum time PCLK must be high.
PALE setup time	$T_{\text{SA}}$	10	-	ns	The minimum time PALE must be low before negative edge of PCLK.
PALE hold time	$T_{\text{HA}}$	10	-	ns	The minimum time PALE must be held low after the <i>positive</i> edge of PCLK.
PDATA setup time	$T_{\text{SD}}$	10	-	ns	The minimum time data on PDATA must be ready before the negative edge of PCLK.
PDATA hold time	$T_{\text{HD}}$	10	-	ns	The minimum time data must be held at PDATA, after the negative edge of PCLK.
Rise time	$T_{\text{rise}}$		100	ns	The maximum rise time for PCLK and PALE
Fall time	$T_{\text{fall}}$		100	ns	The maximum fall time for PCLK and PALE

Note: The set-up- and hold-times refer to 50% of VDD.

Table 2. Serial interface, timing specification

### Microcontroller Interface

Used in a typical system, CC1000 will interface to a microcontroller. This microcontroller must be able to:

- \* Program CC1000 into different modes via the 3-wire serial configuration interface (PDATA, PCLK and PALE).
- \* Interface to the bi-directional synchronous data signal interface (DIO and DCLK).
- \* Optionally the microcontroller can do data encoding / decoding.

\* Optionally the microcontroller can monitor the frequency lock status from pin CHP\_OUT (LOCK).

\* Optionally the microcontroller can monitor the RSSI output for signal strength acquisition.

### Connecting the microcontroller

The microcontroller uses 3 output pins for the configuration interface (PDATA, PCLK and PALE). PDATA should be a bidirectional pin for data read-back. A bidirectional pin is used for data (DIO) to be transmitted and data received. DCLK providing the data timing should be connected to a microcontroller input.

Optionally another pin can be used to monitor the LOCK signal (available at the CHP\_OUT pin). This signal is logic level high when the PLL is in lock. See Figure 6.

Also the RSSI signal can be connected to the microcontroller if it has an analogue ADC input.

The microcontroller pins connected to PDATA and PCLK can be used for other purposes when the configuration interface is not used. PDATA and PCLK are high impedance inputs as long as PALE is not activated.

PALE has an internal pull-up resistor and should be left open (tri-stated by the microcontroller) or set to a high level during power down mode in order to prevent a trickle current flowing in the pullup.

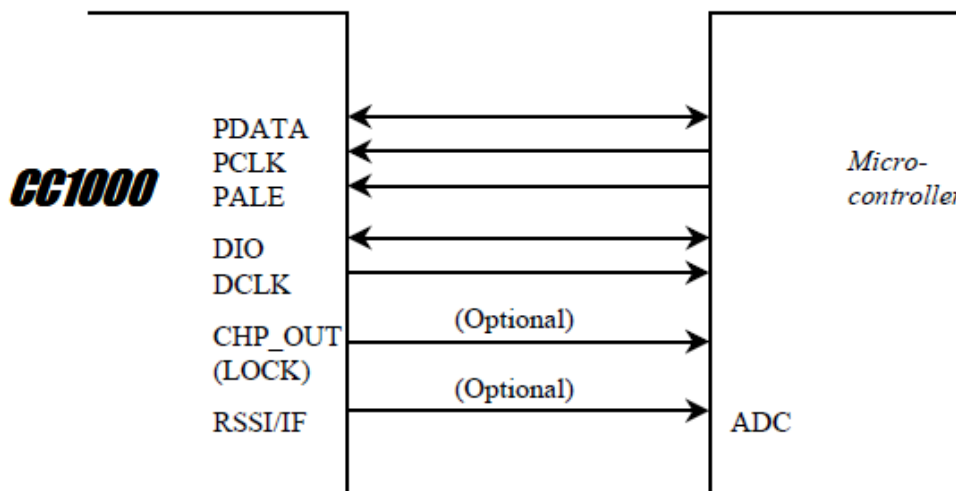


Figure 6. Microcontroller interface

## ANEXO 3

### 1.0 OVERVIEW

The ENC28J60 is a stand-alone Ethernet controller with an industry standard Serial Peripheral Interface (SPI). It is designed to serve as an Ethernet network interface for any controller equipped with SPI.

The ENC28J60 meets all of the IEEE 802.3 specifications.

It incorporates a number of packet filtering schemes to limit incoming packets. It also provides an internal DMA module for fast data throughput and hardware assisted checksum calculation, which is used in various network protocols. Communication with the host controller is implemented via an interrupt pin and the SPI, with clock rates of up to 20 MHz. Two dedicated pins are used for LED link and network activity indication.

A simple block diagram of the ENC28J60 is shown in Figure 1-1. A typical application circuit using the device is shown in Figure 1-2. With the ENC28J60, two pulse transformers and a few passive components are all that are required to connect a microcontroller to an Ethernet network.

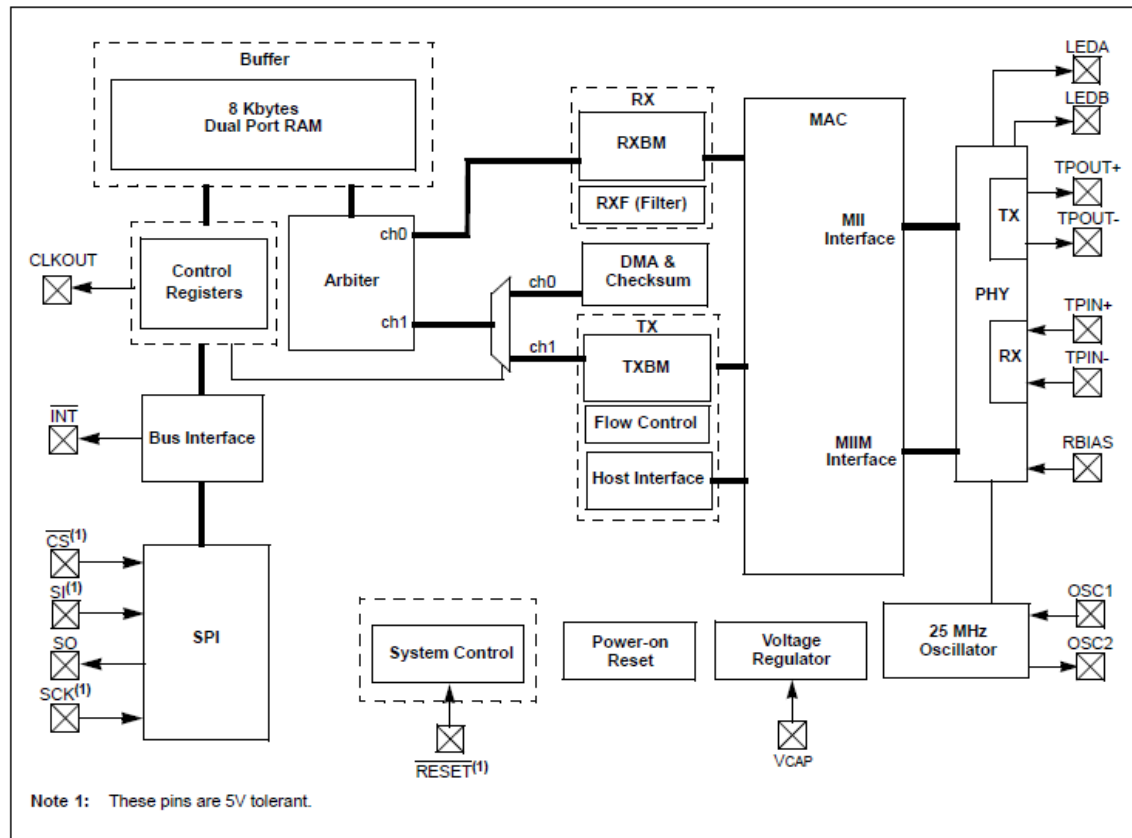
The ENC28J60 consists of seven major functional blocks:

1. An SPI interface that serves as a communication channel between the host controller and the ENC28J60.
2. Control registers which are used to control and monitor the ENC28J60.
3. A dual port RAM buffer for received and transmitted data packets.
4. An arbiter to control the access to the RAM buffer when requests are made from DMA, transmit and receive blocks.
5. The bus interface that interprets data and commands received via the SPI interface.
6. The MAC (Medium Access Control) module that implements IEEE 802.3 compliant MAC logic.
7. The PHY (Physical Layer) module that encodes and decodes the analog data that is present on the twisted-pair interface.

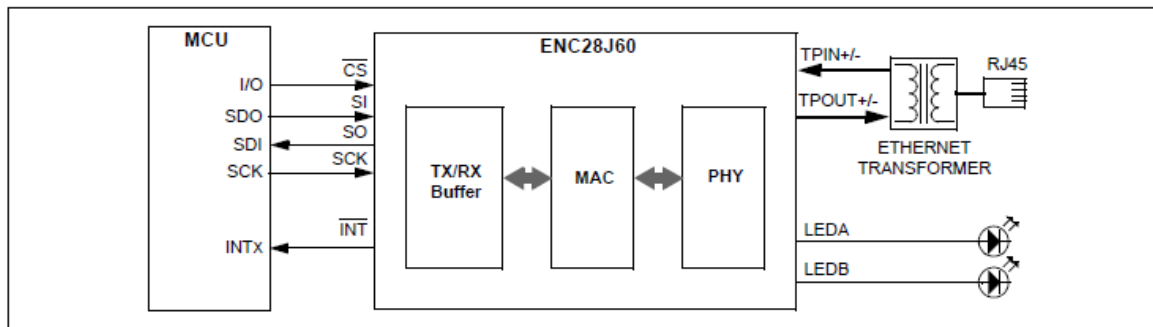
The device also contains other support blocks, such as the oscillator, on-chip voltage regulator, level translators to provide 5V tolerant I/Os and system control logic.



**FIGURE 1-1: ENC28J60 BLOCK DIAGRAM**



**FIGURE 1-2: TYPICAL ENC28J60-BASED INTERFACE**



**TABLE 1-1: PINOUT I/O DESCRIPTIONS**

Pin Name	Pin Number		Pin Type	Buffer Type	Description
	SPDIP, SOIC, SSOP	QFN			
V <sub>CAP</sub>	1	25	P	—	2.5V output from internal regulator. A low Equivalent Series Resistance (ESR) capacitor, with a typical value of 10 mF and a minimum value of 1 mF to ground, must be placed on this pin.
V <sub>SS</sub>	2	26	P	—	Ground reference.
CLKOUT	3	27	O	—	Programmable clock output pin. <sup>(1)</sup>
INT	4	28	O	—	INT interrupt output pin. <sup>(2)</sup>
NC	5	1	O	—	Reserved function; always leave unconnected.
SO	6	2	O	—	Data out pin for SPI interface. <sup>(2)</sup>
SI	7	3	I	ST	Data in pin for SPI interface. <sup>(3)</sup>
SCK	8	4	I	ST	Clock in pin for SPI interface. <sup>(3)</sup>
$\overline{CS}$	9	5	I	ST	Chip select input pin for SPI interface. <sup>(3,4)</sup>
$\overline{RESET}$	10	6	I	ST	Active-low device Reset input. <sup>(3,4)</sup>
V <sub>SSRX</sub>	11	7	P	—	Ground reference for PHY RX.
TPIN-	12	8	I	ANA	Differential signal input.
TPIN+	13	9	I	ANA	Differential signal input.
RBIAS	14	10	I	ANA	Bias current pin for PHY. Must be tied to ground via a resistor (refer to Section 2.4 "Magnetics, Termination and Other External Components" for details).
V <sub>DDTX</sub>	15	11	P	—	Positive supply for PHY TX.
TPOUT-	16	12	O	—	Differential signal output.
TPOUT+	17	13	O	—	Differential signal output.
V <sub>STX</sub>	18	14	P	—	Ground reference for PHY TX.
V <sub>DDR</sub>	19	15	P	—	Positive 3.3V supply for PHY RX.
V <sub>DDPLL</sub>	20	16	P	—	Positive 3.3V supply for PHY PLL.
V <sub>SSPLL</sub>	21	17	P	—	Ground reference for PHY PLL.
V <sub>SSOSC</sub>	22	18	P	—	Ground reference for oscillator.
OSC1	23	19	I	ANA	Oscillator input.
OSC2	24	20	O	—	Oscillator output.
V <sub>DDOSC</sub>	25	21	P	—	Positive 3.3V supply for oscillator.
LEDB	26	22	O	—	LEDB driver pin. <sup>(6)</sup>
LEDA	27	23	O	—	LEDA driver pin. <sup>(6)</sup>
V <sub>DD</sub>	28	24	P	—	Positive 3.3V supply.

Legend: I = Input, O = Output, P = Power, ANA = Analog Signal Input, ST = Schmitt Trigger

- Note
- 1: Pins have a maximum current capacity of 8 mA.
  - 2: Pins have a maximum current capacity of 4 mA.
  - 3: Pins are 5V tolerant.
  - 4: Pins have an internal weak pull-up to V<sub>DD</sub>.
  - 5: Pins have a maximum current capacity of 12 mA.

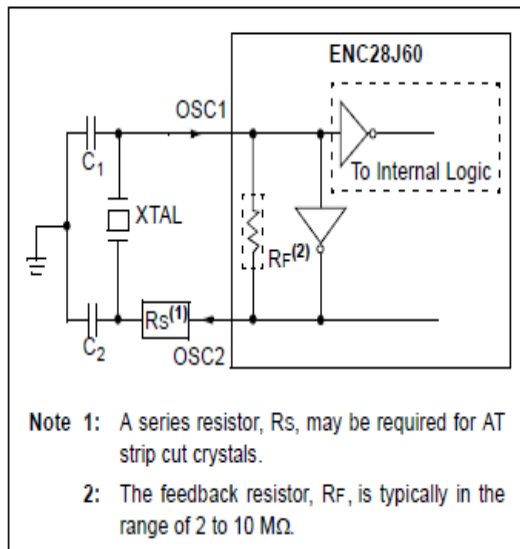
## 2.0 EXTERNAL CONNECTIONS

### 2.1 Oscillator

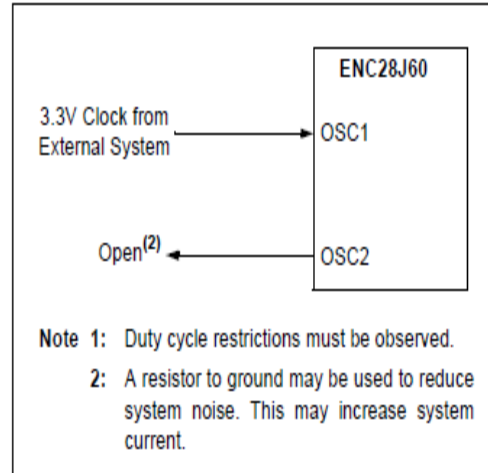
The ENC28J60 is designed to operate at 25 MHz with a crystal connected to the OSC1 and OSC2 pins. The ENC28J60 design requires the use of a parallel cut crystal. Use of a series cut crystal may give a frequency out of the crystal manufacturer specifications. A typical oscillator circuit is shown in Figure 2-1.

The ENC28J60 may also be driven by an external clock source connected to the OSC1 pin as shown in Figure 2-2.

**FIGURE 2-1: CRYSTAL OSCILLATOR OPERATION**



**FIGURE 2-2: EXTERNAL CLOCK SOURCE<sup>(1)</sup>**



## 2.2 Oscillator Start-up Timer

The ENC28J60 contains an Oscillator Start-up Timer (OST) to ensure that the oscillator and integrated PHY have stabilized before use. The OST does not expire until 7500 OSC1 clock cycles (300  $\mu$ s) pass after

Power-on Reset or wake-up from Power-Down mode occurs. During the delay, all Ethernet registers and buffer memory may still be read and written to through the SPI bus. However, software should not attempt to transmit any packets (set ECON1.TXRTS), enable reception of packets (set ECON1.RXEN) or access any MAC, MII or PHY registers during this period.

When the OST expires, the CLKRDY bit in the ESTAT register will be set. The application software should poll this bit as necessary to determine when normal device operation can begin.

**Note:** After a Power-on Reset, or the ENC28J60 is removed from Power-Down mode, the

CLKRDY bit must be polled before transmitting packets, enabling packet reception or accessing any MAC, MII or PHY registers.

## 2.3 CLKOUT Pin

The clock out pin is provided to the system designer for use as the host controller clock or as a clock source for other devices in the system. The CLKOUT has an internal prescaler which can divide the output by 1, 2, 3, 4 or 8. The CLKOUT function is enabled and the prescaler is selected via the ECOCON register (Register 2-1).

To create a clean clock signal, the CLKOUT pin is held low for a period when power is first applied. After the Power-on Reset ends, the OST will begin counting.

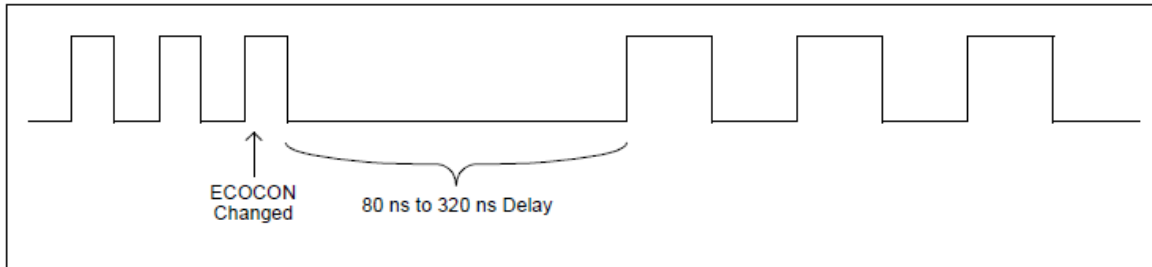
When the OST expires, the CLKOUT pin will begin outputting its default frequency of 6.25 MHz (main clock divided by 4). At any future time that the ENC28J60 is reset by software or the RESET pin, the CLKOUT function will not be altered (ECOCON will not change value). Additionally, Power-Down mode may be entered and the CLKOUT function will continue to operate. When Power-Down mode is cancelled, the

OST will be reset but the CLKOUT function will continue. When the CLKOUT function is disabled

(ECOCON = 0), the CLKOUT pin is driven low.

The CLKOUT function is designed to ensure that minimum timings are preserved when the CLKOUT pin function is enabled, disabled or the prescaler value is changed. No high or low pulses will be outputted which exceed the frequency specified by the ECOCON configuration. However, when switching frequencies, a delay between two and eight OSC1 clock periods will occur where no clock pulses will be produced (see Figure 2-3). During this period, CLKOUT will be held low.

**FIGURE 2-3: CLKOUT TRANSITION**



**REGISTER 2-1: ECOCON: CLOCK OUTPUT CONTROL REGISTER**

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	COCON2	COCON1	COCON0
bit 7					bit 0		

**Legend:**

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

bit 7-3 **Unimplemented:** Read as .0.

bit 2-0 **COCON2:COCON0:** Clock Output Configuration bits

11x = Reserved for factory test. Do not use. Glitch prevention not assured.

101 = CLKOUT outputs main clock divided by 8 (3.125 MHz)

100 = CLKOUT outputs main clock divided by 4 (6.25 MHz)

011 = CLKOUT outputs main clock divided by 3 (8.333333 MHz)

010 = CLKOUT outputs main clock divided by 2 (12.5 MHz)

001 = CLKOUT outputs main clock divided by 1 (25 MHz)

000 = CLKOUT is disabled. The pin is driven low.

## 2.4 Magnetics, Termination and Other External Components

To complete the Ethernet interface, the ENC28J60 requires several standard components to be installed externally. These components should be connected as shown in Figure 2-4.

The internal analog circuitry in the PHY module requires that an external 2.32 k $\Omega$ , 1% resistor be attached from RBIAS to ground. The resistor influences the TPOUT+/- signal amplitude. The resistor should be placed as close as possible to the chip with no immediately adjacent signal traces to prevent noise capacitively coupling into the pin and affecting the transmit behavior. It is recommended that the resistor be a surface mount type.

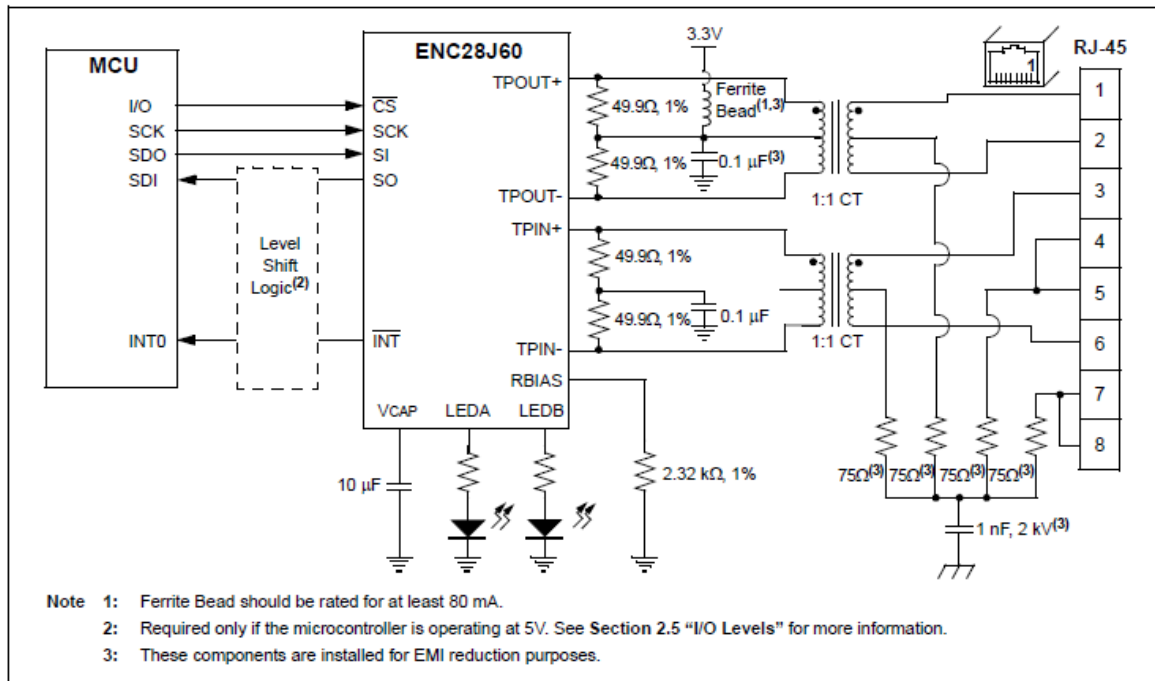
Some of the device's digital logic operates at a nominal 2.5V. An on-chip voltage regulator is incorporated to generate this voltage. The only external component required is an external filter capacitor, connected from VCAP to ground. The capacitor must have low equivalent series resistance (ESR), with a typical value of 10  $\mu$ F, and a minimum value of 1  $\mu$ F. The internal regulator is not designed to drive external loads.

On the TPIN+/TPIN- and TPOUT+/TPOUT- pins, 1:1 center taped pulse transformers, rated for Ethernet operations, are required. When the Ethernet module is enabled, current is continually sunk through both TPOUT pins. When the PHY is actively transmitting, a differential voltage is created on the Ethernet cable by varying the relative current sunk by TPOUT+ compared to TPOUT-.

A common-mode choke on the TPOUT interface, placed between the TPOUT pins and the Ethernet transformer (not shown), is not recommended. If a common-mode choke is used to reduce EMI emissions, it should be placed between the Ethernet transformer and pins 1 and 2 of the RJ-45 connector. Many Ethernet transformer modules include common-mode chokes inside the same device package. The transformers should have at least the isolation rating specified in Table 16-5 to protect against static voltages and meet IEEE 802.3 isolation requirements (see **Section 16.0 .Electrical Characteristics.** for specific transformer requirements). Both transmit and receive interfaces additionally require two resistors and a capacitor to properly terminate the transmission line, minimizing signal reflections. All power supply pins must be externally connected to the same power source. Similarly, all ground references must be externally connected to the same ground node. Each VDD and VSS pin pair should have a 0.1  $\mu$ F ceramic bypass capacitor (not shown in the schematic) placed as close to the pins as possible.

Since relatively high currents are necessary to operate the twisted-pair interface, all wires should be kept as short as possible. Reasonable wire widths should be used on power wires to reduce resistive loss. If the differential data lines cannot be kept short, they should be routed in such a way as to have a 100 $\Omega$  characteristic impedance.

**FIGURE 2-4: ENC28J60 ETHERNET TERMINATION AND EXTERNAL CONNECTIONS**



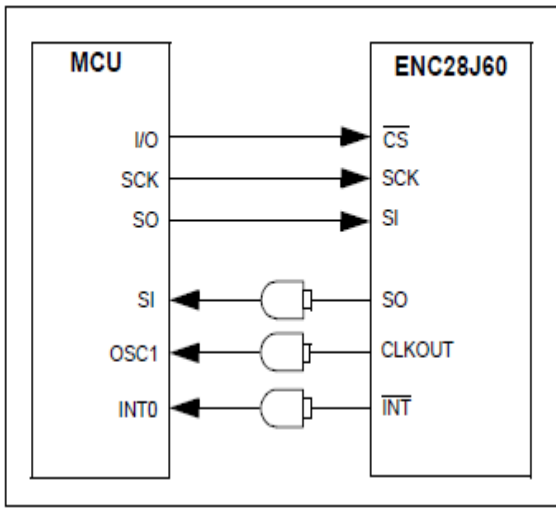
## 2.5 I/O Levels

The ENC28J60 is a 3.3V part; however, it was designed to be easily integrated into 5V systems. The SPI CS, SCK and SI inputs, as well as the RESET pin, are all 5V tolerant. On the other hand, if the host controller is operated at 5V, it quite likely will not be within specifications when its SPI and interrupt inputs are driven by the 3.3V CMOS outputs on the

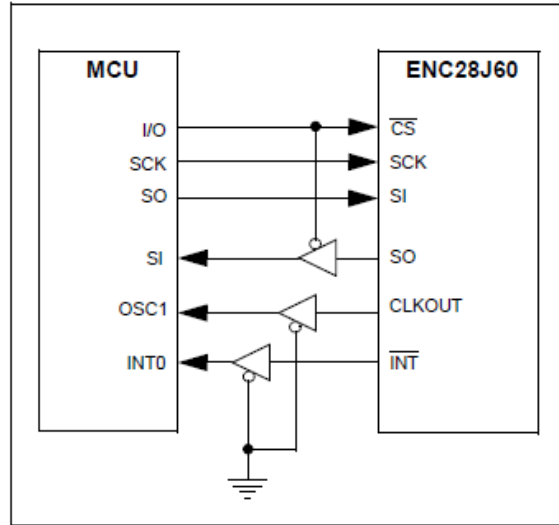
ENC28J60. A unidirectional level translator would be necessary.

An economical 74HCT08 (quad AND gate), 74ACT125 (quad 3-state buffer) or many other 5V CMOS chips with TTL level input buffers may be used to provide the necessary level shifting. The use of 3-state buffers permits easy integration into systems which share the SPI bus with other devices. Figure 2-5 and Figure 2-6 show example translation schemes.

**FIGURE 2-5: LEVEL SHIFTING USING AND GATES**



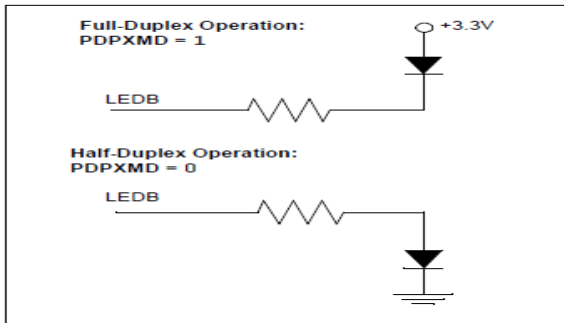
**FIGURE 2-6: LEVEL SHIFTING USING 3-STATE BUFFERS**



## 2.6 LED Configuration

The LEDA and LEDB pins support automatic polarity detection on Reset. The LEDs can be connected such that the pin must source current to turn the LED on, or alternately connected such that the pin must sink current to turn the LED on. Upon system Reset, the ENC28J60 will detect how the LED is connected and begin driving the LED to the default state configured by the PHLCON register. If the LED polarity is changed while the ENC28J60 is operating, the new polarity will not be detected until the next system Reset occurs. LEDB is unique in that the connection of the LED is automatically read on Reset and determines how to initialize the PHCON1.PDPXMD bit. If the pin sources current to illuminate the LED, the bit is cleared on Reset and the PHY defaults to half-duplex operation. If the pin sinks current to illuminate the LED, the bit is set on Reset and the PHY defaults to full-duplex operation. Figure 2-7 shows the two available options. If no LED is attached to the LEDB pin, the PDPXMD bit will reset to an indeterminate value.

**FIGURE 2-7: LEDB POLARITY AND RESET CONFIGURATION OPTIONS**



The LEDs can also be configured separately to control their operating polarity (on or off when active), blink rate and blink stretch interval. The options are controlled by the LACFG3:LACFG0 and LBCFG3:LBCFG0 bits. Typical values for blink stretch are listed in Table 2-1.

**TABLE 2-1: LED BLINK STRETCH LENGTH**

Stretch Length	Typical Stretch (ms)
TNSTRCH (normal)	40
TMSTRCH (medium)	70
TLSTRCH (long)	140

**REGISTER 2-2: PHLCON: PHY MODULE LED CONTROL REGISTER**

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0
r	r	r	r	LACFG3	LACFG2	LACFG1	LACFG0
bit 15				bit 8			

R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-x
LBCFG3	LBCFG2	LBCFG1	LBCFG0	LFRQ1	LFRQ0	STRCH	r
bit 7						bit 0	

<b>Legend:</b>							
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'					
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown				

bit 15-14 **Reserved:** Write as .0.

bit 13-12 **Reserved:** Write as .1.

bit 11-8 **LACFG3:LACFG0:** LEDA Configuration bits

1111 = Reserved

1110 = Display duplex status and collision activity (always stretched)

1101 = Display link status and transmit/receive activity (always stretched)

1100 = Display link status and receive activity (always stretched)

1011 = Blink slow

1010 = Blink fast

1001 = Off

1000 = On

0111 = Display transmit and receive activity (stretchable)

0110 = Reserved

0101 = Display duplex status

0100 = Display link status

0011 = Display collision activity (stretchable)

0010 = Display receive activity (stretchable)

0001 = Display transmit activity (stretchable)

0000 = Reserved

bit 7-4 **LBCFG3:LBCFG0:** LEDB Configuration bits



1110 = Display duplex status and collision activity (always stretched)  
1101 = Display link status and transmit/receive activity (always stretched)  
1100 = Display link status and receive activity (always stretched)  
1011 = Blink slow  
1010 = Blink fast  
1001 = Off  
1000 = On  
0111 = Display transmit and receive activity (stretchable)  
0110 = Reserved  
0101 = Display duplex status  
0100 = Display link status  
0011 = Display collision activity (stretchable)  
0010 = Display receive activity (stretchable)  
0001 = Display transmit activity (stretchable)  
0000 = Reserved  
bit 3-2 **LFRQ1:LFRQ0**: LED Pulse Stretch Time Configuration bits (see Table 2-1)  
11 = Reserved  
10 = Stretch LED events by TLSTRCH  
01 = Stretch LED events by TMSTRCH  
00 = Stretch LED events by TNSTRCH  
bit 1 **STRCH**: LED Pulse Stretching Enable bit  
1 = Stretchable LED events will cause lengthened LED pulses based on LFRQ1:LFRQ0 configuration  
0 = Stretchable LED events will only be displayed while they are occurring  
bit 0 **Reserved**: Write as .0.